

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

17577636

Basic Patent (No,Kind,Date): US 20010055841 AA 20011227 <No. of Patents: 002>

LIGHT EMITTING DEVICE AND MANUFACTURING METHOD THEREOF (English)

Patent Assignee: YAMAZAKI SHUNPEI (JP); FUKUNAGA TAKESHI (JP); KOYAMA JUN (JP); INUKAI KAZUTAKA (JP)

Author(Inventor): YAMAZAKI SHUNPEI (JP); FUKUNAGA TAKESHI (JP); KOYAMA JUN (JP); INUKAI KAZUTAKA (JP)

National Class: #438151000; 438164000

IPC: #H01L-021/00; H01L-021/84

CA Abstract No: 136(03)045808N

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002057162	A2	20020222	JP 2001118527	A	20010417
US 20010055841	AA	20011227	US 832867	A	20010412 (BASIC)

Priority Data (No,Kind,Date):

JP 2001118527 A 20010417

JP 2000115699 A 20000417

BEST AVAILABLE COPY

Scanned 12/28/2004

DIALOG(R)File 347:JAP10

(c) 2003 JPO & JAP10. All rts. reserv.

07188762 **image available**

LIGHT-EMITTING DEVICE AND MANUFACTURING METHOD THEREOF

PUB. NO.: 2002-057162 [JP 2002057162 A]

PUBLISHED: February 22, 2002 (20020222)

INVENTOR(s): YAMAZAKI SHUNPEI

FUKUNAGA KENJI

KOYAMA JUN

INUKAI KAZUTAKA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-118527 [JP 2001118527]

FILED: April 17, 2001 (20010417)

PRIORITY: 2000-115699 [JP 2000115699], JP (Japan), April 17, 2000
(20000417)

INTL CLASS: H01L-021/336; G09F-009/30; H01L-021/28; H01L-029/786;
H04N-005/70; H05B-033/10; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide a low-cost light-emitting device and a low-cost electrical equipment.

SOLUTION: In order to contrive the enhancement of the yield of a light-emitting device and a reduction in the manufacturing period of the light-emitting device by reducing photolithography processes associated with the manufacture of a TFT, a gate electrode 106 is formed of a plurality more than two layers of conducting films 103 and 104. The form of gate electrodes 109 and 111 is formed into the form of the wide width of the lower layers of the electrodes 109 and 111 utilizing the selection ratio of the film 103 to the film 104 at the time of an etching of these films 103 and 104. The concentration in an impurity region which is formed in an active layer in a substrate is adjusted by an adjustment of an accelerating voltage at the time of a doping of impurities.

COPYRIGHT: (C) 2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-57162

(P 2 0 0 2 - 5 7 1 6 2 A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H01L 21/336		G09F 9/30	338 3E007
G09F 9/30	338		365 Z 4M104
	365	H01L 21/28	301 R 5C058
H01L 21/28	301	H04N 5/70	Z 5C094
29/786		H05B 33/10	5F110

審査請求 未請求 請求項の数16 O L (全25頁) 最終頁に続く

(21) 出願番号 特願2001-118527 (P 2001-118527)
(22) 出願日 平成13年4月17日 (2001.4.17)
(31) 優先権主張番号 特願2000-115699 (P 2000-115699)
(32) 優先日 平成12年4月17日 (2000.4.17)
(33) 優先権主張国 日本 (J P)

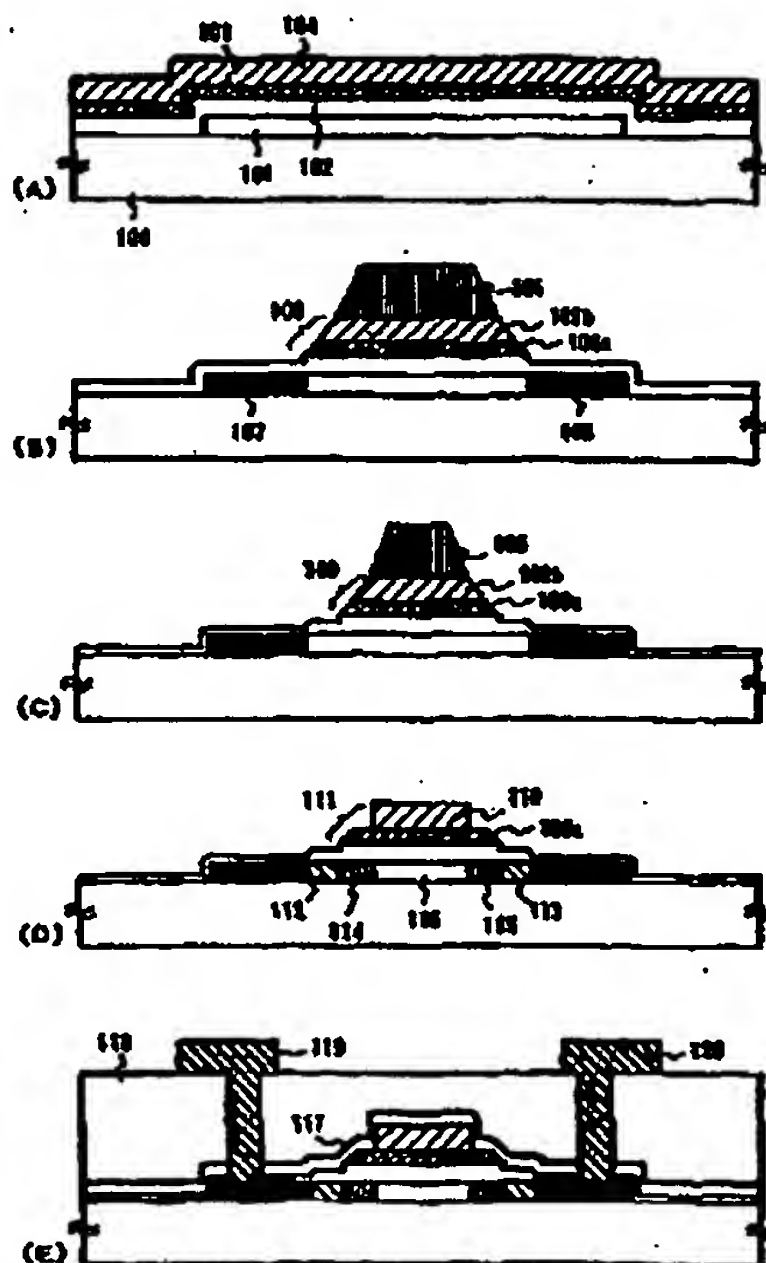
(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 福永 健司
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 発光装置およびその作製方法

(57) 【要約】 (修正有)

【課題】 安価な発光装置および電気器具を提供する。
【解決手段】 TFTの製造に係るフォトリソグラフィ工程を削減することにより発光装置の歩留まりの向上および発光装置の製造期間の短縮を図るため、ゲート電極106を二層以上の複数層の導電膜103、104で形成し、それら導電膜のエッチング時の選択比を利用してゲート電極109、111の形状を下層の幅が広い形状とし、不純物添加時の加速電圧の調節により活性層内に形成される不純物領域の濃度を調節する。



【特許請求の範囲】

【請求項1】画素にnチャネル型TFTおよび発光素子を有する発光装置において、

前記nチャネル型TFTは、チャネル形成領域、該チャネル形成領域に接するn型不純物領域(c)、該n型不純物領域(c)に接するn型不純物領域(b)、該n型不純物領域(b)に接するn型不純物領域(a)を含む活性層並びに第1のゲート電極および該第1のゲート電極よりも外形の小さい第2のゲート電極を含むゲート電極を有し、前記第1のゲート電極は前記チャネル形成領域および前記n型不純物領域(c)にゲート絶縁膜を挟んで重なり、前記第2のゲート電極は前記チャネル形成領域に前記ゲート絶縁膜を挟んで重なっていることを特徴とする発光装置。

【請求項2】nチャネル型TFTを含む駆動回路および発光素子を含む画素部を有する発光装置において、

前記nチャネル型TFTは、チャネル形成領域、該チャネル形成領域に接するn型不純物領域(c)、該n型不純物領域(c)に接するn型不純物領域(b)、該n型不純物領域(b)に接するn型不純物領域(a)を含む活性層並びに第1のゲート電極および該第1のゲート電極よりも外形の小さい第2のゲート電極を含むゲート電極を有し、前記第1のゲート電極は前記チャネル形成領域および前記n型不純物領域(c)にゲート絶縁膜を挟んで重なり、前記第2のゲート電極は前記チャネル形成領域に前記ゲート絶縁膜を挟んで重なっていることを特徴とする発光装置。

【請求項3】請求項1または請求項2において、前記第1のゲート電極は窒化タンタルもしくは窒化チタンからなり、前記第2のゲート電極はタングステンもしくはアルミニウム合金を含むことを特徴とする発光装置。

【請求項4】請求項1または請求項2において、前記第1のゲート電極はタングステンからなり、前記第2のゲート電極はアルミニウム合金を含むことを特徴とする発光装置。

【請求項5】請求項1乃至請求項4のいずれかにおいて、前記n型不純物領域(a)には $1 \times 10^{18} \sim 1 \times 10^{21}$ atoms/cm³の濃度でn型不純物元素が含まれ、前記n型不純物領域(b)には $2 \times 10^{18} \sim 5 \times 10^{18}$ atoms/cm³の濃度でn型不純物元素が含まれ、前記n型不純物領域(c)には $1 \times 10^{18} \sim 5 \times 10^{18}$ atoms/cm³の濃度でn型不純物元素が含まれていることを特徴とする発光装置。

【請求項6】請求項1乃至請求項5のいずれかにおいて、前記ゲート電極は窒化珪素膜もしくは窒化酸化珪素膜並びに樹脂膜を積層した絶縁膜で覆われていることを特徴とする発光装置。

【請求項7】請求項6において、前記窒化珪素膜もしくは前記窒化酸化珪素膜の上には着色層が設けられ、該着色層を覆うように前記樹脂膜が設けられていることを特

徴とする発光装置。

【請求項8】絶縁体の上に半導体膜を形成する第1工程と、

前記半導体膜を覆う絶縁膜を形成する第2工程と、

前記絶縁膜の上に二層以上の導電膜を積層した導電膜を形成する第3工程と、

前記導電膜をエッチングしてゲート電極を形成する第4工程と、

10 前記ゲート電極をマスクにして前記半導体膜にn型不純物元素を添加する第5工程と、

前記ゲート電極の側面をエッチングした後、前記ゲート電極の一部を選択的にエッチングする第6工程と、

前記第6工程の後、前記ゲート電極の前記二層以上の導電膜を積層した部分をマスクにし、且つ、前記ゲート電極の一部を貫通させて前記半導体膜にn型不純物元素を添加する第7工程と、

前記ゲート電極を覆う絶縁膜を形成する第8工程と、

前記第8工程で形成された絶縁膜の上に前記半導体膜に接する配線を形成する第9工程と、

20 前記第8工程で形成された絶縁膜の上に発光素子を形成する第10工程と、

を有することを特徴とする発光装置の作製方法。

【請求項9】請求項8において、前記導電膜は窒化タンタル膜もしくは窒化チタン膜の上にタングステン膜もしくはアルミニウム合金膜を積層してなることを特徴とする発光装置の作製方法。

【請求項10】請求項8において、前記導電膜はタングステン膜の上にアルミニウム合金膜を積層した構造を有することを特徴とする発光装置の作製方法。

30 【請求項11】請求項8乃至請求項10のいずれかにおいて、前記第4工程の前記ゲート電極はテーパー形状を有することを特徴とする発光装置の作製方法。

【請求項12】絶縁体の上に半導体膜を形成する第1工程と、

前記半導体膜を覆う絶縁膜を形成する第2工程と、

前記絶縁膜の上に第1の導電膜および該第2の導電膜を積層した導電膜を形成する第3工程と、

前記導電膜をエッチングして前記第1の導電膜からなる第1のゲート電極および前記第2の導電膜からなる第2のゲート電極を形成する第4工程と、

40 前記第1のゲート電極および前記第2のゲート電極をマスクにして前記半導体膜にn型不純物元素を添加する第5工程と、

前記第1のゲート電極および前記第2のゲート電極をエッチングして線幅を細らせた後、前記第2のゲート電極を選択的にエッチングする第6工程と、

前記第6工程の後、前記第2のゲート電極をマスクにし、且つ、前記第1のゲート電極の一部を貫通させて前記半導体膜にn型不純物元素を添加する第7工程と、

50 前記ゲート電極を覆う絶縁膜を形成する第8工程と、

前記第8工程で形成された絶縁膜の上に前記半導体膜に接する配線を形成する第9工程と、

前記第8工程で形成された絶縁膜の上に発光素子を形成する第10工程と、

を有することを特徴とする発光装置の作製方法。

【請求項13】請求項12において、前記第1の導電膜として窒化タンタル膜もしくは窒化チタン膜を用い、前記第2の導電膜としてタングステン膜もしくはアルミニウム合金膜を用いることを特徴とする発光装置の作製方法。

【請求項14】請求項12において、前記第1の導電膜にタングステン膜を用い、前記第2の導電膜にアルミニウム合金膜を用いることを特徴とする発光装置の作製方法。

【請求項15】請求項12乃至請求項14のいずれかにおいて、前記第4工程の前記第1のゲート電極および前記第2のゲート電極はテーパー形状を有することを特徴とする発光装置の作製方法。

【請求項16】請求項8乃至請求項15のいずれかにおいて、前記第8工程で形成された絶縁膜には着色層が含まれることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子を有する発光装置及びその作製方法並びにその発光装置を表示部（表示ディスプレイまたは表示モニタ）に用いた電気器具に関する。特に、EL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を用いた発光装置及びその作製方法に関する。なお、有機ELディスプレイや有機発光ダイオード（OLED：Organic Light Emitting Diode）は本発明の発光装置に含まれる。

【0002】また、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および/または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】近年、発光性材料のEL現象を利用した自発光素子（以下、EL素子という）を用いた発光装置（以下、EL発光装置という）の開発が進んでいる。EL発光装置は自発光素子を用いた表示装置であるため、液晶ディスプレイのようなバックライトが不要であり、さらに視野角が広いので、屋外で使用する携帯型機器の表示部として注目されている。

【0004】EL発光装置にはパッシブマトリクス型とアクティブマトリクス型の二種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型EL発光装置が注目されている。アクティブマトリクス型EL発光装置は、画素部を形成する各画素に薄膜トランジスタ（以下、TFTという）を設け、EL素子

に流す電流量を前記TFTで制御する点に特徴がある。

【0005】アクティブマトリクス型の利点は、高精細な画像表示を行うことができる点にあり、より情報量の多い画像を提供することができる。

【0006】しかしながら、各画素にTFTを要するためパッシブマトリクス型に比べて製造工程が複雑になり、歩留まりの低下や製造期間の長期化に伴う製造コストの増加が問題となる。特に、フォトリソグラフィ工程が多いと歩留まりの低下が顕著になるため、フォトリソグラフィ工程の削減が重要課題であった。

【0007】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、フォトリソグラフィ工程を削減して歩留まりの向上および製造期間の短縮を図り、製造コストを低減することにより安価な発光装置及びその作製方法を提供することを課題とする。また、安価な発光装置を表示部として用いた安価な電気器具を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明はTFTの製造に係るフォトリソグラフィ工程を削減することにより発光装置の歩留まりの向上および製造期間の短縮を図る。特徴的な点は、ゲート電極を異なる種類の複数層の導電膜で形成し、それらのエッチング時の選択比を利用してそれぞれ異なる厚みを与え、マスクとして利用して活性層内に形成される不純物領域の濃度を調節する点である。

【0009】本発明を特徴づけるnチャネル型TFTの代表的な作製工程例について図1を用いて説明する。図1（A）において、100は絶縁体であり、表面に絶縁膜を設けた基板、絶縁基板もしくは絶縁膜である。絶縁体100の上には半導体膜（典型的には珪素膜）101が形成されており、この半導体膜101はTFTの活性層となる。また、半導体膜101は珪素を含む絶縁膜102で覆われており、この絶縁膜102はTFTのゲート絶縁膜となる。なお、珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくはこれらを組み合わせた積層膜を用いることが可能である。

【0010】次に、珪素を含む絶縁膜102上に第1の導電膜103及び第2の導電膜104を形成する。ここで第1の導電膜103と第2の導電膜104との間でエッチング時の選択比がとれることは重要である。具体的には、第1の導電膜103を残しつつ第2の導電膜104をエッチングできる条件が存在することが重要であるとも言える。

【0011】典型的には、1）第1の導電膜に窒化タンタル膜、第2の導電膜にタングステン膜を用いる組み合わせ、2）第1の導電膜にタングステン膜、第2の導電膜にアルミニウム膜（アルミニウム合金膜を含む）を用いる組み合わせ、もしくは、3）第1の導電膜に窒化チタン膜、第2の導電膜にタングステン膜を用いる組み合

10

20

30

40

50

わさが挙げられる。勿論、第2の導電膜の上に他の導電膜を設けた三層以上の構造としても良い。例えば、第2の導電膜にアルミニウム膜を用いた場合、接触抵抗を低減するためにアルミニウム膜の上に窒化チタン膜もしくはチタン膜を設けた構造とすることが好ましい。

【0012】上記1)の組み合わせでは、塩素(Cl_2)ガスと四フッ化炭素(CF_4)ガスの組み合わせでタングステン膜と窒化タンタル膜がエッチングされ、このガス系に酸素(O_2)ガスを加えることで窒化タンタル膜のエッチングレートが極端に低下するため選択比をとることができる。

【0013】また、上記2)の組み合わせでは、三塩化臭素(BrCl_3)ガスと塩素(Cl_2)ガスの組み合わせでアルミニウム膜はエッチングされるがタングステン膜はエッチングされない。また、塩素(Cl_2)ガスと四フッ化炭素(CF_4)ガスの組み合わせでタングステン膜はエッチングされるがアルミニウム膜はエッチングされない。こうして両者の選択比をとることができる。

【0014】次に、図1(B)に示すように、第1の導電膜103及び第2の導電膜104をレジストマスク105を用いてエッチングし、ゲート電極106を形成する。本明細書では第1の導電膜をエッチングして得たゲート電極を第1のゲート電極と呼び、第2の導電膜をエッチングして得たゲート電極を第2のゲート電極と呼ぶことにする。従って、ゲート電極106は第1のゲート電極106aと第2のゲート電極106bからなる。

【0015】ゲート電極106はエッチング条件によりテーパーを有する形状とすることが好ましい。テーパーとは、電極の端部における端面が斜めになった部分であり、下地との角度はテーパー角と呼ばれる。テーパーを有する形状とは電極端部があるテーパー角を持って斜めになった形状であり、台形はテーパーを有する形状に含まれる。

【0016】なお、ゲート電極106を形成する際にゲート絶縁膜102も若干エッチングされるため膜厚が薄くなる。エッチング条件によっても異なるが、この膜減りは20~50nmに抑えることが好ましい。

【0017】そして、この状態で半導体をn型半導体にする不純物元素(以下、n型不純物元素という)を半導体膜101に添加する。このとき、ゲート電極106をマスクとして用い、自己整合的に(セルフアラインで)n型不純物元素を添加する。なお、具体的にはn型不純物元素として周期表の15族に属する元素(代表的にはリンもしくは砒素)を用いることができる。

【0018】このとき添加方法は公知のプラズマドーピング法もしくはイオンインプランテーション法を用いれば良い。また、半導体膜中に添加する濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ とすれば良い。このような濃度でn型不純物元素が添加された領域107、108を本明細書中ではn型不純物領域(a)と呼ぶことにする。

【0019】次に、図1(C)に示すように、ゲート電極106を形成する時と同一の条件でゲート電極106をさらにエッチングする。これによりさらに線幅が細くなったゲート電極109が形成される(ゲート電極109は第1のゲート電極109a及び第2のゲート電極109bからなる)。また、このとき、ゲート絶縁膜102の膜減りは進行する。

【0020】次に、図1(C)のエッチング中にエッチング条件を変え、第2のゲート電極109bが選択的にエッチングされるような条件とする。そのためには、エッチングガスの種類、基板バイアス電圧、電極に印加する電力などを変更すれば良い。ここでは第1のゲート電極109aと第2のゲート電極109bの選択比が確保できれば良いので、エッチングガスを変化させることが最も容易である。

【0021】こうして図1(D)に示すように、第1のゲート電極109a及び第2のゲート電極110の積層構造からなるゲート電極111が形成される。

【0022】そして、この状態で再びn型不純物元素の添加工程を行う。この添加工程では図1(B)の添加工程よりも加速電圧を上げ、深い位置にまで不純物元素が到達するように行う。このとき、112、113で示される領域には $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ の濃度でn型不純物元素が添加される。このような濃度でn型不純物元素が添加された領域112、113を本明細書中ではn型不純物領域(b)と呼ぶことにする。

【0023】また、114、115で示される領域は第1のゲート電極109aの端部(第2のゲート電極110に接しない部分)を貫通させてn型不純物元素を添加することになるため、n型不純物領域(b)よりも低い濃度(好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^2$ 、さらに好ましくは $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^2$)でn型不純物元素が添加される。このような濃度でn型不純物元素が添加された領域114、115を本明細書中ではn型不純物領域(c)と呼ぶことにする。

【0024】なお、n型不純物元素が添加されなかった領域116はTFTのチャネル形成領域として機能する領域であり、ゲート電極110の直下に形成される。

【0025】このあと、図1(E)に示すように、パッシベーション膜117、層間絶縁膜118、ソース配線119およびドレイン配線120を形成すればnチャネル型TFTが完成する。パッシベーション膜117としては窒化珪素膜もしくは窒化酸化珪素膜を用いれば良い。また、層間絶縁膜118としては無機絶縁膜、有機絶縁膜もしくはそれらの積層膜を用いれば良い。有機絶縁膜としてはポリイミド、アクリル樹脂、ポリアミド、BCB(ベンゾシクロブテン)といった樹脂膜を用いることができる。また、ソース配線119およびドレイン配線120としては公知の導電膜を用いれば良い。

【0026】以上の作製工程において、フォトリソグラ

フィ工程は半導体膜101の形成時、ゲート電極106の形成時、層間絶縁膜のコンタクトホール形成時並びにソース配線およびドレイン配線の形成時の4回である。CMOS回路を形成する場合は、pチャネル型TFTを作製するために1回フォトリソグラフィ工程が増えるがそれでも5回で済む。

【0027】図1(E)のTFTは、チャネル形成領域116とドレイン領域108との間に、n型不純物領域(b)113およびn型不純物領域(c)115が形成されている。ここでn型不純物領域(c)115は第1

のゲート電極109aにゲート絶縁膜102を挟んで重なっており、この構造がホットキャリア劣化を防ぐ上で非常に有効である。また、n型不純物領域(b)113は従来のLDD(ライトドープドレイン)領域と同様の作用をもつ領域である。

【0028】従って、図1(E)のTFTはホットキャリア対策がn型不純物領域(c)により施され、リーク電流対策がn型不純物領域(b)により施されており、非常に信頼性の高い構造となっている。本発明は、このように信頼性の高いTFTを5回のフォトリソグラフィ

【0029】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例を用いて詳細な説明を行うこととする。

【0030】

【実施例】【実施例1】本発明の実施例について図2～図4を用いて説明する。ここでは、図素部とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0031】まず、図2(A)に示すように、ガラス基板301上に下地膜302を300nmの厚さに形成する。本実施例では下地膜302として窒化酸化珪素膜を積層して用いる。この時、ガラス基板301に接する方の膜の窒素濃度を10～25wt%としておくことが良い。

【0032】また、下地膜302に放熱効果を持たせることは有効であり、基板301の両面もしくは片面に炭素膜、特にDLC(ダイヤモンドライクカーボン)膜を設けておくことは有効である。DLC膜はCVD法もしくはスパッタ法にて成膜可能であり、室温から100℃以下の温度範囲で成膜できるという利点がある。

【0033】次に下地膜302の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶

質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0034】そして、特開平7-130652号公報に記載の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)303を形成する。本実施例では、結晶化を促進する元素としてニッケルを用いている。勿論、他の結晶化方法としてレーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法を用いても良い。

【0035】次に、図2(B)に示すように、結晶質珪素膜303を1回目のフォトリソグラフィ工程によりエッチングして島状の半導体膜304～307を形成する。これらは後にTFTの活性層となる半導体膜である。

【0036】ここで本実施例では、半導体膜304～307上に酸化珪素膜からなる保護膜(図示せず)を130nmの厚さに形成し、半導体をp型半導体とする不純物元素(以下、p型不純物元素という)を半導体膜304～307に添加する。p型不純物元素としては周期表の13族に属する元素(典型的にはボロンもしくはガリウム)を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0037】また、このとき添加されるp型不純物元素の濃度は、 $1 \times 10^{11} \sim 5 \times 10^{11} \text{ atoms/cm}^2$ (代表的には $1 \times 10^{11} \sim 1 \times 10^{12} \text{ atoms/cm}^2$)とすれば良い。この濃度で添加されたp型不純物元素はnチャネル型TFTのしきい値電圧の調節に用いられる。

【0038】次に、半導体膜304～307を覆ってゲート絶縁膜308を形成する。ゲート絶縁膜308としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では115nm厚の窒化酸化珪素膜を用いる。

【0039】次に、第1の導電膜309として30nm厚の窒化タンタル膜を形成し、さらに第2の導電膜310として370nmのタングステン膜を形成する。これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステンターゲットの純度を99.999%とすることで、抵抗率が20mΩcm以下の低抵抗なタングステン膜を形成することができる。

【0040】次に、レジストマスク311a～311gを形成し、第1の導電膜309及び第2の導電膜310をエッチングする。なお、本明細書中ではここで行うエッチング処理を第1のエッチング処理と呼ぶ。

【0041】本実施例では、ICP(Inductively Coupled

led Plasma:誘導結合型プラズマ)を用いたエッチング方法を採用する。エッチングガスとしては四フッ化炭素(CF₄)ガスと塩素(Cl₂)ガス混合ガスを用い、1 Paの成膜圧力とする。この状態でコイル型の電極に500 WのRF電力(13.56 MHz)を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として150 WのRF電力(13.56 MHz)を印加して、負の自己バイアスが基板に加わるようにする。

【0042】このような条件によりエッチング処理を行うと、窒化タンタル膜とタングステン膜の選択比が1:1に近くなり、一括でエッチングすることが可能となる。また、レジストマスク311a~311eの端部の後退を利用して第1の導電膜309と第2の導電膜310を一括でエッチングして15~45°のテーパ角を有するテーパ形状とすることができる。本実施例のエッチング条件では約25°のテーパ角を得ることができる。

【0043】こうして、図2(C)に示すように第1の導電膜と第2の導電膜との積層膜からなるゲート電極312~316並びにスイッチングTFTのソース配線317およびドレイン配線318が形成される。なお、ドレイン配線318は電流制御TFTのゲート電極を兼ねている。

【0044】次に、ゲート電極312~316、ソース配線317およびドレイン配線318をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域(a)319~327にはn型不純物元素が $1 \times 10^{10} \sim 1 \times 10^{11}$ atoms/cm²(代表的には $2 \times 10^{10} \sim 5 \times 10^{11}$ atoms/cm²)の濃度で含まれる。これらの不純物領域319~327はnチャネル型TFTのソース領域およびドレイン領域を形成する。

【0045】次に、レジストマスク311a~311gをそのまま用いてゲート電極312~316、ソース配線317及びドレイン配線318のエッチングを行う。このときのエッチング条件は第1のエッチング処理と同一の条件で良い。ここでは図2(D)に示すようにゲート電極312~316、ソース配線317及びドレイン配線318のテーパ部分を後退させ、図2(C)よりも線幅の細いゲート電極328~332、ソース配線333およびドレイン配線334を形成する。

【0046】さらに、図2(E)に示すように、レジストマスク311a~311gをそのまま用いて第2の導電膜(タングステン膜)を選択的にエッチングする。このエッチング条件は第1のエッチング処理に対してエッチングガスとして酸素ガスを混合すれば良く、本明細書ではここで行うエッチング処理を第2のエッチング処理と呼ぶ。これはエッチングガスに酸素が加わることで第1の導電膜(窒化タンタル膜)のエッチングの進行が極端

に遅くなるためである。

【0047】このとき、第1のゲート電極335a~339aと第2のゲート電極335b~339bとの積層構造からなるゲート電極335~339が形成され、さらに第1のソース配線340aと第2のソース配線340bとの積層構造からなるソース配線340および第1のドレイン配線341aと第2のドレイン配線341bとの積層構造からなるドレイン配線341が形成される。

【0048】次に、レジストマスク311a~311gを除去し、図3(A)に示すように、n型不純物元素(本実施例ではリン)を添加する。この工程ではn型不純物領域342~351にn型不純物元素が $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²(代表的には $5 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²)の濃度で含まれるように調節する。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域(b)と呼ぶことにする。

【0049】また、このとき同時にn型不純物領域352~361も形成される。これらの不純物領域は、第1のゲート電極335a~339aを貫通したn型不純物元素によって形成されるため、n型不純物領域342~351の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加される。具体的には、 $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²(典型的には $3 \times 10^{13} \sim 3 \times 10^{14}$ atoms/cm²)の濃度でn型不純物元素を含む。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域(c)と呼ぶことにする。

【0050】また、n型不純物元素は第1のゲート電極335a~339aおよびゲート絶縁膜308を貫通させて添加する必要があるため、n型不純物元素の加速電圧を70~120 kV(本実施例では90 kV)と高めに設定する。

【0051】次に、図3(B)に示すように、レジストマスク362を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域363~366を形成する。ここではジボラン(B₂H₆)を用いたイオンドープ法により $3 \times 10^{19} \sim 3 \times 10^{20}$ atoms/cm²(代表的には $5 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm²)の濃度となるようにボロンを添加する。加速電圧は20~30 kVで良い。なお、本明細書ではこの濃度でp型不純物元素が添加された不純物領域をp型不純物領域(a)と呼ぶことにする。

【0052】なお、p型不純物領域(a)363~366は既に $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm²の濃度でリンが添加された領域を含むが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0053】次に、レジストマスク362を除去した

10

20

30

40

50

後、窒化珪素膜もしくは窒化酸化珪素膜からなる保護膜（図示せず）を形成する。そして、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法を用い、本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。なお、このとき窒素雰囲気中の酸素濃度を極力低くしておくことが望ましい。これはゲート電極の酸化を防ぐためであり、望ましくは酸素濃度を1 ppm以下とする。

【0054】このとき、図3（C）に示すようにn型不純物元素が添加された領域、即ちn型不純物領域もしくはp型不純物領域でn型不純物元素を含む領域に、非晶質珪素膜の結晶化に用いたニッケルが矢印の方向に移動し、ゲッタリングされる。即ち、不純物が添加されなかったTFTのチャネル形成領域367～371のニッケル濃度が大幅に低減され、 1×10^{14} atoms/cm²以下（但し、この値は質量二次イオン分析の測定下限）となる。

【0055】さらに、窒化珪素膜もしくは窒化酸化珪素膜からなる保護膜372を形成した後、窒素雰囲気中で300～450℃の温度範囲の熱処理を行い、水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。この処理では保護膜372中に含まれる水素が拡散して水素化処理が行われる。他にもプラズマ水素化処理を行っても良い。

【0056】また、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、水素化処理を行うことも可能である。

【0057】次に、図3（D）に示すように、本実施例では着色層373を印刷法、スピンコート法もしくはインクジェット法により0.3～2μmの厚さに形成する。着色層373としては、顔料を含ませた樹脂膜を用いれば良い。ここでは着色層373を形成した後、開口部374a～374iを形成する。これらの開口部は、後にコンタクトホールが形成される部分の着色層を予め除去しておく目的で形成される。

【0058】なお、着色層373としては、代表的には波長650nm付近にピークをもつ光を透過する着色層（以下、赤色着色層という）、波長550nm付近にピークをもつ光を透過する着色層（以下、緑色着色層という）もしくは波長450nm付近にピークをもつ光を透過する着色層（以下、青色着色層という）を用いることが可能である。勿論、他の色を透過する着色層を用いても良い。

【0059】EL発光装置に用いる着色層は光量が多く確保できるように顔料の含有率が低いものを用いると良い。また、着色層の膜厚を薄くすることにより光量を多くすることも可能である。さらに、液晶表示装置で用いる着色層のようにピーク波長において鋭いピークを透過

光に与える必要はなく、むしろピーク波長まわりにブロードなピークを透過光に与える着色層が好ましい。

【0060】また、着色層に黒色顔料を含有させることで、EL発光装置の外部から入ってくる外光を吸収し、観測者の映像が陰極に映り込むような不具合を抑えることが可能である。

【0061】また、本実施例は赤色着色層をTFTのリーク電流を低減する遮光膜として用いる点にも特徴がある。チャネル形成領域となる結晶質珪素膜は650nm前後の波長の光（赤色光）に対する吸収係数が小さいため、赤色光に関してはリーク電流の増加に影響しないと考えられる。そこで本実施例では、赤色着色層を用いて550nm前後の波長の光（緑色光）および450nm前後の波長の光（青色光）を遮光し、TFTのリーク電流の増加を抑制している。

【0062】なお、本実施例では着色層を形成する例を示しているが、設けない構成とすることは可能である。

【0063】さらに、開口部374a～374iを形成した着色層373を覆って樹脂膜からなる層間絶縁膜375を形成する。層間絶縁膜375は着色層373によって形成された段差を十分に平坦化できる膜厚で設けることが望ましく、1～4μm（好ましくは2～3μm）の厚さで形成する。

【0064】なお、層間絶縁膜375の表面に対してCF₄ガスを用いたプラズマ処理を施しておくことは有効である。この処理により次に形成する配線の密着性を高めることができる。

【0065】次に、図4（A）に示すように、層間絶縁膜375に対してコンタクトホールを形成し、配線376～382とを形成する。なお、本実施例ではこの配線を、50nm厚のチタン膜、400nm厚のチタンを含むアルミニウム膜、100nmのチタン膜をスパッタ法で連続形成した三層構造の積層膜とする。勿論、他の導電膜でも良い。

【0066】このとき、配線376、378はCMOS回路のソース配線、377はドレイン配線として機能する。また、配線379はソース配線340とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線380はドレイン配線341とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0067】次に、可視光に対して透明な酸化物導電膜からなる画素電極383を形成する。本実施例では画素電極383として酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を用い、膜厚は120nmとする。他にも、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。

【0068】次に、図4（B）に示すようにバンク384を形成する。バンク384は100～400nmの珪

10

20

30

40

50

素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。このバンク384は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。また、次に形成する発光層等の有機EL材料が画素電極383の端部に直接触れないようにする目的もある。換言すれば、画素電極383の平坦面上に開口部を有した絶縁膜とも言える。

【0069】なお、バンク384は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク384の材料となる絶縁膜中にカーボン粒子や顔料を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^4 \sim 1 \times 10^{11} \Omega \text{m}$ （好ましくは $1 \times 10^4 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子や顔料の添加量を調節すれば良い。

【0070】ここで画素電極（陽極）383の表面に対して前処理を行う。本実施例では基板全体を $100 \sim 120^\circ \text{C}$ に加熱し、酸素プラズマを形成しつつ紫外光照射を行う。これにより画素電極383の表面に対してオゾンプラズマ処理を行うことができる。この前処理により、画素電極383の表面において吸着酸素および吸着水が除去され、表面の仕事関数が高められる。さらに、画素電極表面の平坦度が向上する。画素電極表面の平坦度は表面の平均自乗粗さ（Rms）が 5 nm 以下（好ましくは 3 nm 以下）となるようにすると良い。

【0071】なお、オゾンプラズマ処理の代わりにアルゴン、ネオンもしくはヘリウムなどの希ガスをを用いたプラズマ処理でも良い。

【0072】次に、EL層385をスピコート法により形成する。なお、本実施例では、正孔注入層および発光層の積層体をEL層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【0073】本実施例では、まず正孔注入層としてポリチオフェン（PEDOT）を 20 nm の厚さに成膜し、さらに白色に発光する発光層としてポリビニルカルbazol（PVK）を 80 nm の厚さに形成する。ポリチオフェンは水に溶かして塗布し、ポリビニルカルbazolは1,2-ジクロロメタンに溶かして塗布すれば良い。また、正孔注入層および発光層は塗布した後にEL層を壊さない温度範囲（典型的には $80 \sim 120^\circ \text{C}$ ）で熱処理を行い、溶媒を揮発させて薄膜を得る。

【0074】例えば、1,2-ジクロロメタンに、PVK、Bu-PBD（2-（4'-tert-ブチルフェニル）-5-（4'-ピフェニル）-1,3,4-オキサジアゾール）、クマリン6、DCM1（4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン）、TPB（テトラフェニルブタジエ

ン）およびナイルレッドを溶かしたものをを用いれば良い。

【0075】また、白色に発光する発光層として用いることのできる高分子材料として、他にも特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いることができる。

【0076】次に、EL層385を形成したら、仕事関数の小さい導電膜からなる陰極386を 400 nm の厚さに形成する。本実施例では、アルミニウムとリチウムとを共蒸着により合金化して形成する。こうして画素電極（陽極）383、EL層385および陰極386を含むEL素子387が形成される。

【0077】なお、陰極386を形成した後、EL素子387を完全に覆うようにしてパッシベーション膜388を設けることは有効である。この際、カバレッジの良い膜をパッシベーション膜388として用いることが好ましく、窒化珪素膜、炭素膜（特にDLC膜）を用いることは有効である。DLC膜は室温から 100°C 以下の温度範囲で成膜可能であるため、耐熱性の低いEL層385の上にも容易に成膜することができる。また、酸素に対するブロッキング効果が高く、EL層385や陰極386の酸化を抑制することが可能である。

【0078】さらに、パッシベーション膜388上に封止材389を設けカバー材390を貼り合わせる。封止材389としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、紫外線硬化樹脂は接着剤としても活用できる。

【0079】また、カバー材390としては、ガラス基板、金属基板、セラミックス基板もしくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。このカバー材390の両面もしくは片面に炭素膜、特にDLC膜を設けておくことは有効である。なお、プラスチックフィルムをカバー材として用いる場合にはロールトゥロール方式にて両面にDLC膜を成膜すれば良い。

【0080】こうして図4（B）に示すような構造のEL発光装置が完成する。なお、バンク384を形成した後、陰極386を形成するまでの工程をマルチチャンバ方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。但し、スピコート法によりEL層を形成する際には、脱酸素処理をした窒素雰囲気もしくは希ガス雰囲気で行えば良い。

【0081】ここで各TFTについて説明する。駆動回路はpチャネル型TFT401とnチャネル型TFT402とを相補的に組み合わせたCMOS回路を基本単位として形成されている。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチ、サンプリング回路（トランスファゲートを含む）も

しくはD/Aコンバータなどが含まれる。

【0082】pチャネル型TFT401の活性層は、ソース領域411、ドレイン領域412及びチャネル形成領域413を含む。このとき、ソース領域411およびドレイン領域412はそれぞれゲート絶縁膜308を挟んで第1のゲート電極335aに重なっている。

【0083】また、nチャネル型TFT402の活性層はソース領域414、ドレイン領域415、n型不純物領域(b)416、417、n型不純物領域(c)418、419およびチャネル形成領域420を含む。このとき、n型不純物領域(b)416及び417は、それぞれゲート絶縁膜308を挟んで第1のゲート電極336aには重ならないように設けられており、n型不純物領域(c)418及び419は、ゲート絶縁膜308を挟んで第1のゲート電極336aに重なるように設けられている。なお、第1のゲート電極336aに重なるように設けられたn型不純物領域(c)418、419はホットキャリア注入を抑制する効果を有し、ホットキャリア注入に起因する劣化現象を効果的に抑制することができる。

【0084】また、画素部にはスイッチングTFT403と電流制御TFT404が形成されている。なお、スイッチングTFT403のドレインは電流制御TFT404のゲートに電気的に接続されており、スイッチングTFT403を介して電流制御TFT404のスイッチ動作が制御される。そして、電流制御TFT404によりEL素子に流れる電流量が制御される。

【0085】スイッチングTFT403の活性層は、ソース領域421、ドレイン領域422、n型不純物領域(b)423~426、n型不純物領域(c)427~430、分離領域431、チャネル形成領域432、433を含む。また、ソース領域421は配線379を介してソース配線340に接続される。さらにドレイン領域422は配線380を介してドレイン配線341に接続される。このドレイン配線341は電流制御TFT404のゲート電極339に接続される。

【0086】スイッチングTFT403の構造は基本的にはnチャネル型TFT402と同様であり、n型不純物領域(b)423及び424はゲート絶縁膜308を挟んで第1のゲート電極337aに、n型不純物領域(c)425及び426はゲート絶縁膜308を挟んで第1のゲート電極338aには重ならないように設けられており、n型不純物領域(c)427及び428はゲート絶縁膜308を挟んで第1のゲート電極337aに、n型不純物領域(c)429及び430はゲート絶縁膜308を挟んで第1のゲート電極338aに重なるように設けられている。即ち、ホットキャリア劣化に強い構造となっている。

【0087】なお、本実施例ではスイッチングTFT403として、nチャネル型TFTを用いた例を示したが、

pチャネル型TFTとしても良い。

【0088】また、電流制御TFT404の活性層は、ソース領域434、ドレイン領域435およびチャネル形成領域436を含む。電流制御TFT404の構造は基本的にはpチャネル型TFT401と同様であり、ソース領域434およびドレイン領域435はゲート絶縁膜308を挟んで第1のゲート電極339aに重なっている。なお、本実施例では電流制御TFT404としてpチャネル型TFTを用いた例を示したが、nチャネル型TFTとしても良い。

【0089】ここで画素部を上面から見た図を図5に示す。また、図5において、A-A'で切断した断面図を図6(A)に、B-B'で切断した断面図を図6(B)に、C-C'で切断した断面図を図6(C)に示す。なお、図6(A)はスイッチングTFT403の断面構造を示し、図6(B)は電流制御TFT404の断面構造を示し、図6(C)は保持容量の断面構造を示している。ここに示す画素部は図2~図4に示した作製工程により形成可能であり、必要に応じて図2~図4で用いた符号を参照する。

【0090】まず、スイッチングTFT403について図5および図6(A)を用いて説明する。図5、図6(A)において、501は活性層である。活性層501の詳細は図4(B)で説明した通りであるからここでの説明は省略する。そして、ソース配線340は配線379を介して活性層501と電気的に接続され、さらに配線380を介してドレイン配線341と電気的に接続される。

【0091】また、活性層501上にはゲート電極502が設けられている。なお、ゲート電極502のうち、活性層501と重なる部分が図2(E)のゲート電極337、338に相当する。また、ゲート電極502はコンタクト部503にてゲート配線504と電気的に接続される。

【0092】次に、電流制御TFT404について図5および図6(B)を用いて説明する。図5、図6(B)において、505は活性層である。活性層505の詳細は図4(B)で説明した通りであるからここでの説明は省略する。活性層505のソース領域は配線(電流供給線)381と電気的に接続され、ドレイン領域は配線382および画素電極(EL素子の陽極)383と電気的に接続される。

【0093】また、活性層505上にはゲート電極339が設けられている。ゲート電極339はドレイン配線341が活性層505と重なる部分に相当する。また、ドレイン配線341はそのまま延長されて図6(C)に示す保持容量の上部電極506を兼ねる。配線(電流供給線)381はコンタクト部507にて半導体膜508と電気的に接続され、この半導体膜508が保持容量の下部電極として機能する。

【0094】また、本実施例のEL発光装置の回路構成例を図7に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路701、画素部708及びゲート側駆動回路709を有している。なお、本明細書中において、駆動回路部とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0095】本実施例では画素部708にスイッチングTFTとして図4(B)に示した構造のnチャネル型TFTが設けられ、このスイッチングTFTはゲート側駆動回路709に接続されたゲート配線とソース側駆動回路701に接続されたソース配線との交点に配置されている。また、スイッチングTFTのドレインはpチャネル型の電流制御TFTのゲートに電気的に接続されている。

【0096】ソース側駆動回路701は、シフトレジスタ702、バッファ703、ラッチ(A)704、バッファ705、ラッチ(B)706、バッファ707を設けている。なお、アナログ駆動の場合はラッチ(A)、(B)の代わりにサンプリング回路(トランスファゲート)を設ければ良い。また、ゲート側駆動回路709は、シフトレジスタ710、バッファ711を設けている。

【0097】なお、図示していないが、画素部708を挟んでゲート側駆動回路709の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0098】なお、上記構成は、図2～図4に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 γ 補正回路などの論理回路を同一基板上に形成することが可能であり、さらにはメモリやマイクロプロセッサ等を形成しようと考えている。

【0099】さらに、EL素子を保護するための封止(または封入)工程まで行った後の本実施例のEL発光装置について図8(A)、(B)を用いて説明する。なお、必要に応じて図7で用いた符号を引用する。

【0100】図8(A)は、EL素子の封止までを行った状態を示す上面図である。点線で示された701はソース側駆動回路、708は画素部、709はゲート側駆動回路である。また、1001はカバー材、1002は第1シール材、1003は第2シール材であり、第1シール材1002で囲まれた内側のカバー材1001とEL素子が形成された基板との間には封止材(図示せず)が設けられる。

【0101】なお、1004はソース側駆動回路701

及びゲート側駆動回路709に入力される信号を伝達するための接続配線であり、それぞれ外部入力端子となるFPC1005からビデオ信号やクロック信号を受け取る。

【0102】ここで、図8(A)の発光装置をA-A'で切断した断面に相当する断面図を図8(B)に示す。なお、図8(A)、(B)では同一の部位に同一の符号を用いている。

【0103】図8(B)に示すように、ガラス基板1006上には画素部708、ゲート側駆動回路709が形成されており、画素部708は電流制御TFT404とそのドレインに電気的に接続された画素電極383を含む複数の画素により形成される。また、ゲート側駆動回路709はpチャネル型TFT401とnチャネル型TFT402とを相補的に組み合わせたCMOS回路を用いて形成される。

【0104】画素電極383はEL素子の陽極として機能する。また、画素電極383の両端にはバンク384が形成され、画素電極383上にはEL層385およびEL素子の陰極386が形成される。陰極386は全面素子に共通の配線としても機能し、接続配線1004を経由してFPC1005に電気的に接続されている。さらに、画素部708及びゲート側駆動回路709に含まれる素子は全て陰極386で覆われている。

【0105】また、第1シール材1002によりカバー材1001が貼り合わされている。このとき、カバー材1001とEL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材1002の内側には封止材1007が充填されている。なお、第1シール材1002、封止材1007としては光硬化性樹脂を用いるのが好ましい。また、第1シール材1002はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材1007の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0106】EL素子を覆うようにして設けられた封止材1007はカバー材1001を接着するための接着剤としても機能する。封止材1007としては、ポリイミド、アクリル、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

【0107】また、本実施例ではカバー材1001としては、ガラス板、石英板、プラスチック板、セラミックス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフロライド)フィルム、マイラーフィルム(デュボン社製ポリエチレングリコールテレフタレートフィルムの商品名)、ポリエステルフィルムまたはアクリルフィルムを用いることができる。

【0108】さらに本実施例ではカバー材1001の両

面に炭素膜（具体的にはDLC膜）1008a、1008bを2～30nmの厚さに設けている。このような炭素膜は、酸素および水の侵入を防ぐとともにカバー材1001の表面を機械的に保護する役割をもつ。勿論、外側の炭素膜1008aに偏光板（代表的には円偏光板）を貼り付けることも可能である。

【0109】また、封止材1007を用いてカバー材1001を接着した後、封止材1007の側面（露出面）を覆うように第2シール材1003を設ける。第2シール材1003は第1シール材1002と同じ材料を用いることができる。

【0110】以上のような構造でEL素子を封止材1007に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL発光装置を作製することができる。

【0111】（実施例2）本実施例では、着色層の配置の例について図10を用いて説明する。図10に示すのは、画素部を上面から見た図であり、各画素の構造は図5、図6（A）～図6（C）を用いて説明したものと同様である。

【0112】図10において、1201は赤色着色層、1202は緑色着色層、1203は青色着色層である。また、1204は青色に発色させる画素、1205は緑色に発色させる画素、1206は赤色に発色させる画素である。このとき、本実施例では、青色に発色させる画素1204には青色着色層1203を設け、緑色に発色させる画素1205には緑色着色層1202を設け、赤色に発色させる画素1206および各TFTの上方に赤色着色層1201を設ける。なお、赤色着色層1201はコンタクト部1207に開口部1208を有する。

【0113】TFTの活性層となる結晶質珪素膜は、650nm付近の波長にピークを有した光（赤色光）に対する吸収係数が小さいという特徴がある。従って、450nm付近の波長にピークをもつ青色光や550nm付近の波長にピークをもつ緑色光を当てないようにすることが、結晶質珪素膜の光励起によるリーク電流（もしくはオフ電流）を低減する上で有効と考えられる。

【0114】そこで、本実施例では緑色光や青色光を吸収する赤色着色層をTFTの上方に設け、400～550nm近辺の波長の光を遮光するような構造としている。これによりEL素子から放射された光によりTFTのリーク電流が増加するといった不具合を抑制することが可能となる。

【0115】なお、各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。これにより外部からの光が吸収されるため、画像を観測する人の映像が陰極に映り込む不具合を低減することができる。但し、含有量が多すぎると発光量自体も低下してしまうので、1

～10%の添加量とすることが望ましい。

【0116】なお、本実施例は実施例1と組み合わせて実施することができる。

【0117】（実施例3）実施例1ではEL層に含まれた発光層として白色発光が得られるEL材料を用い、そこから放射された白色光を、赤色着色層、緑色着色層もしくは青色着色層に通すことにより赤色光、緑色光もしくは青色光を得る例を示した。

【0118】本実施例では、赤色に発色させる画素には赤色発光が得られる発光層を形成し、緑色に発色させる画素には緑色発光が得られる発光層を形成し、青色に発色させる画素には青色発光が得られる発光層を形成する。そして、各発光層から放射された赤色光、緑色光もしくは青色光を、それぞれ赤色着色層、緑色着色層もしくは青色着色層に通すことで色純度を向上させる。

【0119】本実施例の場合、赤色、緑色もしくは青色の発光が得られる三種類のEL材料を成膜する必要があるが、公知の材料を用いることができる。また、画素ごとに分けて成膜する必要があるため、シャドーマスクを用いた蒸着法により低分子系EL材料を成膜するか、インクジェット法や印刷法により高分子系EL材料を成膜すれば良い。

【0120】なお、本実施例の構成は実施例1もしくは実施例2と自由に組み合わせて実施することが可能である。また、実施例2に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

【0121】（実施例4）本実施例では、発光層として青色もしくは青緑色の発光が得られるEL材料を用い、その発光を色変換層に通すことにより赤色光、緑色光もしくは青色光を得る例を示す。

【0122】本実施例の場合、赤色に発色させる画素には青色光を赤色光に変換する色変換層を形成し、緑色に発色させる画素には青色光を緑色光に変換する色変換層を形成する。この色変換層は公知のものを用いれば良い。発光層から放射された青色光は色変換層を励起して赤色光もしくは緑色光を生成する。

【0123】そして、各色変換層から放射された赤色光、緑色光および発光層から放射された青色光を、それぞれ赤色着色層、緑色着色層もしくは青色着色層に通すことで色純度を向上させる。

【0124】本実施例では、発光層として青色もしくは青緑色の発光が得られる発光層だけを成膜すれば良いため、スピンコート法や印刷法のように簡便な技術で成膜することが好ましい。勿論、蒸着法で成膜することも可能である。

【0125】なお、本実施例の構成は実施例1もしくは実施例2と自由に組み合わせて実施することが可能である。また、実施例2に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

【0126】（実施例5）本実施例では実施例1と異な

る構造の画素部を有したEL発光装置を示す。なお、各種配線（ゲート配線、ソース配線、ドレイン配線もしくは電流供給線等）の形成される層が異なる以外、TFT構造およびEL素子構造は実施例1とほぼ同様である。従って、実施例1と同じ部分に関しては、図5、図6（A）～図6（C）で用いた符号を引用することにする。

【0127】ここで画素部を上面から見た図を図11に示す。また、図11において、A-A'で切断した断面図を図12（A）に、B-B'で切断した断面図を図12（B）に、C-C'で切断した断面図を図12（C）に示す。なお、図12（A）はスイッチングTFTの断面構造を示し、図12（B）は電流制御TFTの断面構造を示し、図12（C）は保持容量の断面構造を示している。また、ここに示す画素部は図2～図4に示した作製工程を参照すれば形成できる。

【0128】まず、スイッチングTFTについて図11および図12（A）を用いて説明する。図11、図12（A）において、1301は活性層である。活性層1301の詳細は図4（B）で説明したスイッチングTFTと同様であるからここでの説明は省略する。活性層1301の上にはゲート配線1302が重なりゲート電極として機能している。そして、活性層1301にはソース配線1303およびドレイン配線1304が接続され、ドレイン配線1304は電流制御TFTのゲート配線1305に接続される。

【0129】次に、電流制御TFTについて図11および図12（B）を用いて説明する。なお、電流制御TFTは二つのTFTが並列に接続された構造となっているが、ここではその片方についての説明を行う。図11、図12（B）において、1306は活性層である。活性層1306の詳細は図4（B）で説明した電流制御TFTと同様であるからここでの説明は省略する。活性層1306のソース領域は電流供給線1307に接続され、ドレイン領域はドレイン配線1308を介して画素電極（EL素子の陽極）1309と電気的に接続される。

【0130】また、電流制御TFTのゲート配線1305は電流供給線1307の直下において図12（C）に示す保持容量1310の上部電極1311を兼ねる。このとき、電流供給線1307は半導体膜1312と電気的に接続され、この半導体膜1312が保持容量1310の下部電極として機能する。本実施例の構造にすると保持容量1310が完全に電流供給線1307の下に隠れるため、画素の有効発光面積を狭くすることがない。

【0131】次に、消去TFTについて説明する。本実施例の画素にはスイッチングTFTと同じ構造の消去TFT1313が設けられている。消去TFT1313の活性層1314は、ソース領域が電流供給線1307に接続され、ドレイン領域がドレイン配線1315を介し

て電流制御TFTのゲート配線1305と電気的に接続される。なお、活性層1314の構造はスイッチングTFTと同様であるからここでの説明は省略する。

【0132】また、消去TFTのゲート配線（以下、消去ゲート配線という）1316はスイッチングTFTのゲート配線1302と平行に設けられている。

【0133】消去ゲート配線1316に消去TFT1313をオン状態にする信号が入ると電流制御TFTのゲート配線1305は強制的に電流供給線1307と同電位になる。即ち、電流制御TFTがオフ状態になるためEL素子387への電流の供給がなくなり、発光が止まって画素は消灯する。

【0134】このように、消去TFT1313を設けることで画素を強制的に消灯することができ、画素の点灯時間の制御性が高まる。即ち、時間階調方式の画像表示において、階調数を容易に上げることが可能となる。なお、このような消去TFTを用いたEL発光装置に関して特願2000-359032号を引用すれば良い。

【0135】また、本実施例の構成は実施例2～4のいずれの構成とも自由に組み合わせて実施することが可能である。

【0136】〔実施例6〕本実施例では実施例1と異なる作製工程でEL発光装置を作製する例について図13を用いて説明する。なお、実施例1と途中の工程が異なるだけであるので必要に応じて実施例1で用いた符号を参照する。

【0137】まず、実施例1の作製工程に従って、図2（E）の工程まで行う。但し、本実施例では図2（C）に示した活性層へのn型不純物元素の添加工程を省略する。こうして図13（A）の状態が得られる。

【0138】次に、図13（B）に示すように、レジストマスク311a～311eを除去した後、半導体膜にn型不純物元素（本実施例ではリン）を添加する。なお、ここで行うn型不純物元素の添加工程は、実施例1の図3（A）に示した添加工程と同様の条件で行えば良い。

【0139】こうして、n型不純物領域（b）601～609およびn型不純物領域（c）610～619が形成される。なお、n型不純物領域（b）601～609およびn型不純物領域（c）610～619に含まれるn型不純物元素の濃度は実施例1と同様である。

【0140】次に、レジストマスク620a～620eを形成し、実施例1の図2（C）に示した添加工程と同様に半導体膜にn型不純物元素（本実施例ではリン）を添加する。こうしてn型不純物領域（a）621～629が形成される。なお、n型不純物領域（a）621～629に含まれるn型不純物元素の濃度は実施例1を参照すれば良い。（図13（C））

【0141】このとき、n型不純物領域（b）601～609のうちレジストマスク620a～620eで隠れた部分は、後にLDD（ライトドープドレイン）領域と

して機能する。本実施例は後にLDD領域として機能するn型不純物領域(b)の長さ(LDD長さ)をレジストマスク620a~620eで自由に調節できるためLDD長さの制御性に優れる点に特徴がある。

【0142】次に、レジストマスク620a~620eを除去し、レジストマスク630を形成する。そして、実施例1の図3(B)に示した添加工程と同様に半導体膜にp型不純物元素(本実施例ではボロン)を添加する。こうしてp型不純物領域(a)631~634が形成される。なお、p型不純物領域(a)631~634に含まれるp型不純物元素の濃度は実施例1と同様である。(図13(D))

【0143】このあとは、実施例1の図3(C)に示した活性化工程以降の工程に従ってEL発光装置を作製すれば良い。また、完成したTFT構造は実施例1と同様であるため、本実施例のTFTの説明については、実施例1の説明を参照すれば良い。なお、本実施例は実施例1~5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0144】〔実施例7〕本実施例では実施例1と異なる作製工程でEL発光装置を作製する例について図14を用いて説明する。なお、実施例1と途中の工程が異なるだけであるので必要に応じて実施例1で用いた符号を参照する。

【0145】まず、実施例1の作製工程に従って、図2(E)の工程まで行う。但し、本実施例では図2(C)に示したn型不純物元素の添加工程を省略する。こうして図14(A)の状態が得られる。

【0146】次に、図14(B)に示すように、レジストマスク311a~311eを除去した後、n型不純物元素(本実施例ではリン)を添加する。なお、ここで行うn型不純物元素の添加工程は、実施例1の図3(A)に示した添加工程と同様の条件で行えば良い。

【0147】こうして、n型不純物領域(b)601~609およびn型不純物領域(c)610~619が形成される。なお、n型不純物領域(b)601~609およびn型不純物領域(c)610~619に含まれるn型不純物元素の濃度は実施例1を参照すれば良い。

【0148】次に、ゲート電極335~339をマスクとして、半導体膜に実施例1の図2(C)に示した添加工程と同様にn型不純物元素(本実施例ではリン)を添加する。こうしてn型不純物領域(a)721~729が形成される。なお、n型不純物領域(a)721~729に含まれるn型不純物元素の濃度は実施例1を参照すれば良い。(図14(C))

【0149】次に、レジストマスク730を形成し、実施例1の図3(B)に示した添加工程と同様にp型不純物元素(本実施例ではボロン)を半導体膜に添加する。こうしてp型不純物領域(a)731~734が形成される。なお、p型不純物領域(a)731~734に含

まれるp型不純物元素の濃度は実施例1を参照すれば良い。(図14(D))

【0150】このあとは、実施例1の図3(C)に示した活性化工程以降の工程に従ってEL発光装置を作製すれば良い。また、完成したTFT構造は実施例1と同様であるため、実施例1の説明を参照すれば良い。なお、本実施例は実施例1~5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0151】〔実施例8〕実施例1では層間絶縁膜375として樹脂膜を用いたが、本実施例では珪素を含む珪膜、具体的には酸化珪素膜を用いる。本実施例の場合、まず図3(B)の工程まで終えたら、ゲート電極を覆うように100~200nmの厚さの保護膜(本実施例では窒化酸化珪素膜)を形成する。

【0152】次に、図3(C)と同様に活性化工程を行い、次に800nm~1μmの厚さの層間絶縁膜(本実施例では酸化珪素膜)を設ける。本実施例では、この層間絶縁膜を形成する前に3~100%の水素を含む雰囲気中にて350~500℃の熱処理を行い、活性層の不对結合手を励起された水素で終端する。

【0153】これらの工程の後、ソース配線及びドレイン配線を前記層間絶縁膜上に形成し、ソース配線及びドレイン配線をパッシベーション膜で覆う。本実施例ではパッシベーション膜として窒化珪素膜もしくは窒化酸化珪素膜を用いる。

【0154】なお、本実施例の構成は実施例1~7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0155】〔実施例9〕本実施例では、実施例1に示したEL表示装置とは異なる構造でEL素子を封止した例について図9を用いて説明する。なお、図8と同一の部分については同一の符号を用いる。

【0156】本実施例ではカバー材1101として、両面にDLC膜1102aおよび1102bを形成したプラスチックフィルムを用いる。プラスチックフィルムの両面にDLC膜を形成する場合、プラスチックフィルムをロールに巻いて成膜を行うロールトゥロール方式を用いれば良い。

【0157】本実施例では、実施例1に従ってEL素子まで作製した基板に、封止材1103を用いてカバー材1101を貼り合わせる。そして、カバー材1101の端部はシール材1104で封止する。本実施例で用いる封止材1103およびシール材1104に関しては、実施例1に示した材料を用いることができる。また、封止材1103として、無機絶縁膜を用いることもできる。

【0158】なお、本実施例の構成は実施例1~8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0159】〔実施例10〕本実施例では、実施例1において図5に示した画素構造および実施例5において図

11に示した画素構造の回路図について説明する。ここでは図5に対応した回路図を図15(A)に、図11に対応した回路図を図15(B)に示す。

【0160】図15(A)において、340はソース配線、381は電流供給線、504はゲート配線である。これらの符号は図5に対応している。また、1501は図6(A)に示したスイッチングTFT、1502は図6(B)に示した電流制御TFT、1503は図6

(C)に示した保持容量、1504はEL素子である。

【0161】本実施例に示した画素をデジタル駆動する場合には、特願2000-114592号に記載の駆動方法を実施すれば良い。

【0162】次に、図15(B)において、1303はソース配線、1307は電流供給線、1302はゲート配線である。これらの符号は図11に対応している。また、1505は図12(A)に示したスイッチングTFT、1506は図12(B)に示した電流制御TFT、1507は図12(C)に示した保持容量、1508はEL素子、1509は消去TFTである。

【0163】本実施例に示した画素をデジタル駆動する場合には、特願平11-338786号に記載の駆動方法を実施すれば良い。

【0164】なお、本実施例の構成は実施例1~9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0165】〔実施例11〕本発明を実施するにあたってEL素子を形成するために用いる成膜装置の例を図16に示す。なお、本実施例ではインライン方式の成膜装置とした場合について説明する。図16において801はロード室であり、基板80の搬送はここから行われる。ロード室801には排気系800aが備えられ、排気系800aは第1バルブ81、ターボ分子ポンプ82、第2バルブ83及びロータリーポンプ(油回転ポンプ)84を含んだ構成からなっている。

【0166】第1バルブ81はメインバルブであり、コンダクタンスバルブを兼ねる場合もあるシバクフライバルブを用いる場合もある。第2バルブ83はフォアバルブであり、まず第2バルブ83を開けてロータリーポンプ84によりロード室801を粗く減圧し、次に第1バルブ81を空けてターボ分子ポンプ82で高真空まで減圧する。なお、ターボ分子ポンプの代わりにメカニカルプースターポンプ若しくはクライオポンプを用いることが可能であるがクライオポンプは水分の除去に特に効果的である。

【0167】次に、802で示されるのはEL素子の陽極もしくは陰極(本実施例では陽極)の表面を処理する前処理室であり、前処理室802は排気系800bを備えている。また、ロード室801とは図示しないゲートで密閉遮断されている。前処理室802はEL素子の作製プロセスによって様々に変えることができる。

【0168】前処理としては、オゾンプラズマ処理、酸素プラズマ処理、アルゴンプラズマ処理、ネオンプラズマ処理、ヘリウムプラズマ処理もしくは水素プラズマ処理を行うことができる。また、ヒーターを備えることでプラズマ処理と同時に加熱することも可能である。さらに、紫外光ランプを備えることで紫外光照射を可能とすることも有効である。

【0169】本実施例では、基板を100℃に加熱しながら酸化物導電膜からなる陽極の表面にオゾンプラズマ処理を行い、水分の除去と同時に陽極表面の仕事関数を高める前処理を行う。

【0170】次に、803は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(A)と呼ぶ。蒸着室(A)803は排気系800cを備えている。また、前処理室802とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(A)803にて正孔注入層を形成する。

【0171】次に、804は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(B)と呼ぶ。蒸着室(B)804は排気系800dを備えている。また、蒸着室(A)803とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(B)804にて正孔輸送層を形成する。

【0172】次に、805は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(C)と呼ぶ。蒸着室(C)805は排気系800eを備えている。また、蒸着室(B)804とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(C)805において、赤色に発色する発光層を形成する。

【0173】次に、806は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(D)と呼ぶ。蒸着室(D)806は排気系800fを備えている。また、蒸着室(C)805とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(D)806において、緑色に発色する発光層を形成する。

【0174】次に、807は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(E)と呼ぶ。蒸着室(E)807は排気系800gを備えている。また、蒸着室(D)806とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(E)807において、青色に発色する発光層を形成する。

【0175】次に、808は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(F)と呼ぶ。蒸着室(F)808は排気系800hを備えている。また、蒸着室(E)807とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(F)808にて電子輸送層を形成する。

【0176】次に、809は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(G)と呼ぶ。蒸着室(G)809は排気系800iを備えている。また、

蒸着室 (F) 808 とは図示しないゲートで密閉遮断されている。本実施例では蒸着室 (G) 809 にて電子注入層を形成する。

【0177】次に、810 は蒸着法により EL 素子の陽極もしくは陰極となる導電膜 (本実施例では陰極となる金属膜) を成膜するための蒸着室であり、蒸着室 (H) と呼ぶ。蒸着室 (H) 810 は排気系 800j を備えている。また、蒸着室 (G) 809 とは図示しないゲートで密閉遮断されている。

【0178】本実施例では、蒸着室 (H) 810 にて、EL 素子の陰極となる導電膜として Al-Li 合金膜 (アルミニウムとリチウムとの合金膜) もしくは Al-Cs 合金膜 (アルミニウムとセシウムとの合金膜) を形成する。なお、周期表の 1 族もしくは 2 族に属する元素とアルミニウムとを共蒸着することも可能である。

【0179】次に、811 は封止室であり、排気系 800k を備えている。また、蒸着室 (H) 810 とは図示しないゲートで密閉遮断されている。封止室 811 では EL 素子を酸素および水分から保護するために、パッシベーション膜として DLC (ダイヤモンドライクカーボン) 膜を形成する。

【0180】DLC 膜を形成するにはスパッタ法もしくはプラズマ CVD 法を用いれば良い。DLC 膜は室温から 100℃ 以下の温度範囲で成膜できるため、耐熱性の低い EL 素子を保護するパッシベーション膜として好適である。また、熱伝導率が高く放熱効果が良いため、EL 素子の熱劣化を抑制する効果も期待できる。なお、本実施例で形成する DLC 膜は窒化珪素膜もしくは炭化珪素膜と積層して用いることも有効である。

【0181】さらに、DLC 膜中にフッ素や水を添加しても良い。また、DLC 膜中の酸素濃度を 1×10^{11} atoms/cm³ 以下とすることで酸素の透過率を低減することが可能である。

【0182】最後に、812 はアンロード室であり、排気系 800l を備えている。EL 素子が形成された基板はここから取り出される。

【0183】以上のように、図 16 に示した成膜装置を用いることで完全に EL 素子を密閉空間に封入するまで外気に晒さずに済むため、信頼性の高い EL 表示装置を作製することが可能となる。また、インライン方式により高いスループットで EL 表示装置を作製することができる。

【0184】さらに、本実施例に示した成膜装置の各処理室、排気系および搬送系をコンピュータ制御により動作させることは有効である。本実施例の場合、連続的に一連の処理を行って EL 素子が完成するため、コンピュータ制御により基板投入から基板取り出しまでを管理することができる。

【0185】なお、本実施例に示した成膜装置を用いて実施例 1 ~ 10 に示したいずれの構成の EL 表示装置を

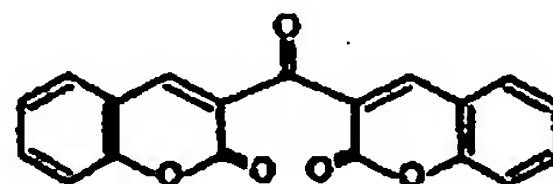
作製しても良い。

【0186】(実施例 12) 本発明において、三重項励起子からの燐光を発光に利用できる EL 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL 素子の低消費電力化、長寿命化、および軽量化が可能になる。ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

上記論文に報告された EL 材料 (クマリン色素) の分子式を以下に示す。

【0187】

【化 1】

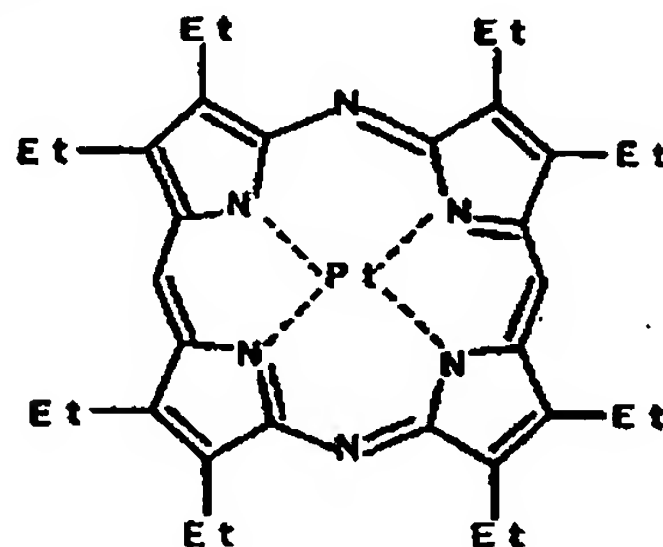


【0188】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

上記論文に報告された EL 材料 (Pt 錯体) の分子式を以下に示す。

【0189】

【化 2】



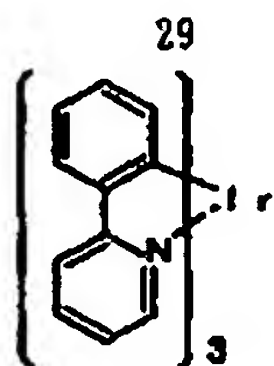
【0190】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.)

(T. Tsutsui, M.-J. Yang, M. Yabiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

上記論文に報告された EL 材料 (Ir 錯体) の分子式を以下に示す。

【0191】

【化 3】



【0192】以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～

【0193】〔実施例13〕本実施例では、実施例1において図4（B）に示したEL素子387の具体的な例について図17を用いて説明する。なお、本実施例に示すEL素子の構造例はそれぞれ図4（B）のEL素子387の部分に相当する拡大図である。各例は図16に示す成膜装置で形成することができる。なお、本実施例でEL層を形成する材料は公知の有機材料もしくは無機材料を用いることができる。また、高分子系材料であって

【0194】まず、図17（A）は、陽極（画素電極）11上に正孔注入層12、正孔輸送層13、発光層14、電子輸送層15、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0195】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）803で正孔注入層12を形成し、蒸着室（B）804で正孔輸送層13を形成し、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808で電子輸送層15を形成し、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0196】次に、図17（B）は、陽極（画素電極）11上に正孔注入層12、正孔輸送層13、発光層14、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0197】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）803で正孔注入層12を形成し、蒸着室（B）804で正孔輸送層13を形成し、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808を通過させて、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0198】次に、図17（C）は、陽極（画素電極）11上に正孔注入層12、発光層14、電子輸送層15、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応し

た三種類の発光層を成膜しても良い。

【0199】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）803で正孔注入層12を形成し、蒸着室（B）804を通過させて、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808で電子輸送層15を形成し、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0200】次に、図17（D）は、陽極（画素電極）11上に正孔注入層12、発光層14、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0201】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）803で正孔注入層12を形成し、蒸着室（B）804を通過させて、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808を通過させて、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0202】次に、図17（E）は、陽極（画素電極）11上に一群のクラスター18、正孔注入層12、発光層14、電子輸送層15、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応した三種類の発光層を成膜しても良い。また、クラスター18は陽極11の仕事関数を高めるために設けられ、本実施例ではイリジウム、ニッケルもしくは白金をクラスター状（塊状）に設ける。

【0203】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）でクラスター18を形成し、蒸着室（B）804で正孔注入層12を形成し、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808で電子輸送層15を形成し、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0204】次に、図17（F）は、陽極（画素電極）11上に一群のクラスター18、正孔注入層12、発光層14、電子注入層16および陰極17を積層した構造のEL素子である。なお、発光層14は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0205】本実施例では、前処理室802で陽極11の表面改善を行い、蒸着室（A）でクラスター18を形成し、蒸着室（B）804で正孔注入層12を形成し、蒸着室（C）805～蒸着室（E）807で発光層14を形成し、蒸着室（F）808を通過させて、蒸着室（G）809で電子注入層16を形成し、蒸着室（H）810で陰極17を形成する。

【0206】以上のように、様々な構造のEL素子を形成する場合においても、図16に示したような成膜装置を用いれば容易に作製することが可能である。なお、本

実施例に示した構成は実施例1～10、12のいずれの構成とも自由に組み合わせて実施することが可能である。

【0207】〔実施例14〕本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。その際、本発明の発光装置はパッシブ型の発光装置でありながらも配線抵抗を減らすことで大画面化を可能としているため、用途も幅広いものとする事ができる。

【0208】本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それら電気器具の具体例を図18、図19に示す。

【0209】図18（A）はELディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0210】図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置は表示部2102に用いることができる。

【0211】図18（C）はデジタルカメラであり、本体2201、表示部2202、接眼部2203、操作スイッチ2204を含む。本発明の発光装置は表示部2202に用いることができる。

【0212】図18（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0213】図18（E）は携帯型（モバイル）コンピュータであり、本体2401、表示部2402、受像部

2403、操作スイッチ2404、メモリスロット2405を含む。本発明の電気光学装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【0214】図18（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。

【0215】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0216】また、上記電子装置はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【0217】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0218】ここで図19（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0219】また、図19（B）はカーオーディオ（車載用オーディオ）であり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、据え置き型（家庭用）オーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【0220】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～13の構成を自由に組み合わせた発光装置を用いることで得ることができる。

【0221】

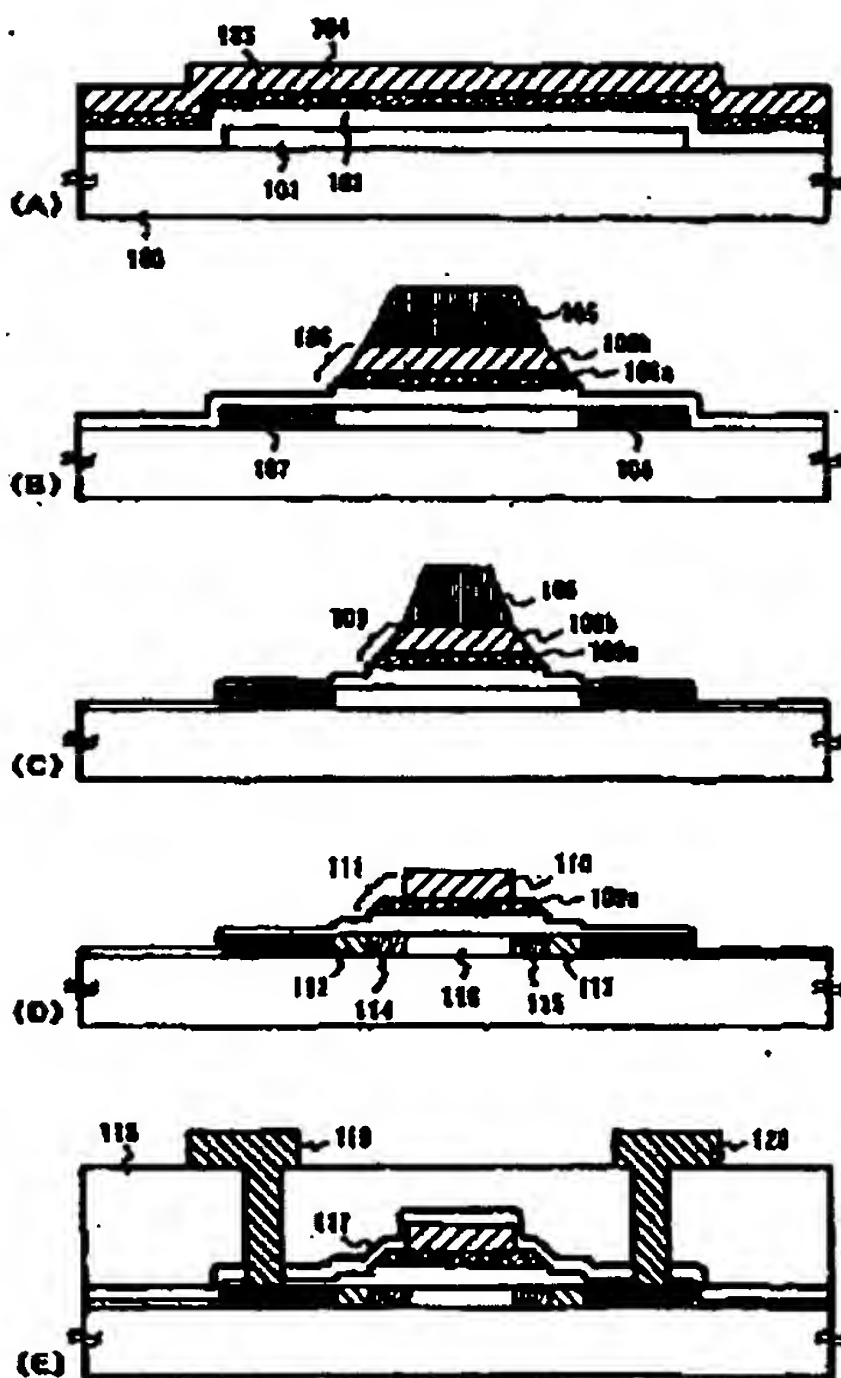
【発明の効果】本発明を実施することでフォトリソグラフィ工程の少ない作製工程でTFTを作製することができるため、TFTを用いたアクティブマトリクス型の発

光装置の歩留まりを向上させることができる。さらに、発光装置の製造期間の短縮を図り、製造コストを低減することにより安価な発光装置を提供しうる。さらに、安価な発光装置を用いることで安価な電気器具を提供することが可能となる。

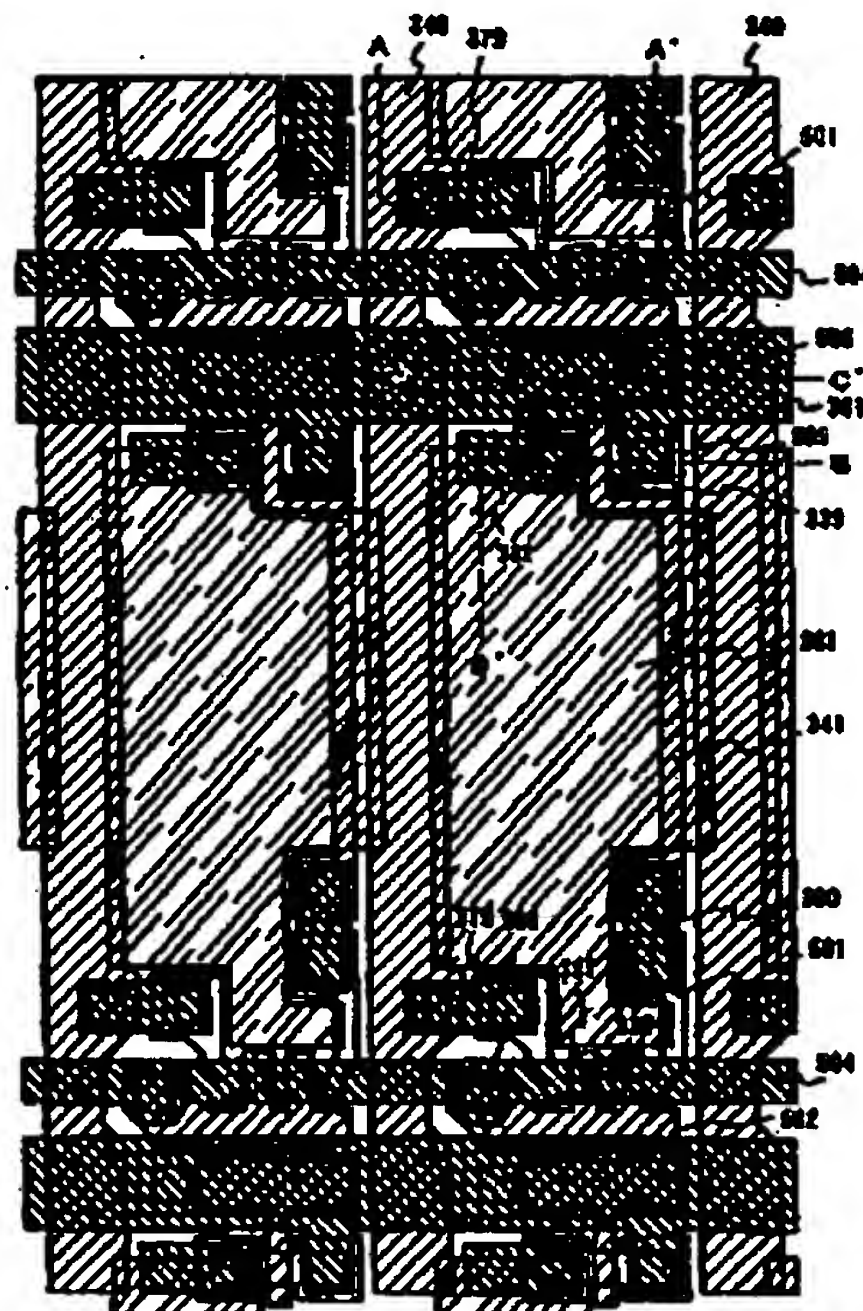
【図面の簡単な説明】

- 【図1】 本発明のnチャネル型TFTの作製工程を示す図。
- 【図2】 画素部および駆動回路の作製工程を示す図。
- 【図3】 画素部および駆動回路の作製工程を示す図。
- 【図4】 画素部および駆動回路の作製工程を示す図。
- 【図5】 画素部の上面構造を示す図。
- 【図6】 画素部の断面構造を示す図。
- 【図7】 EL発光装置の回路構成を示す図。

【図1】

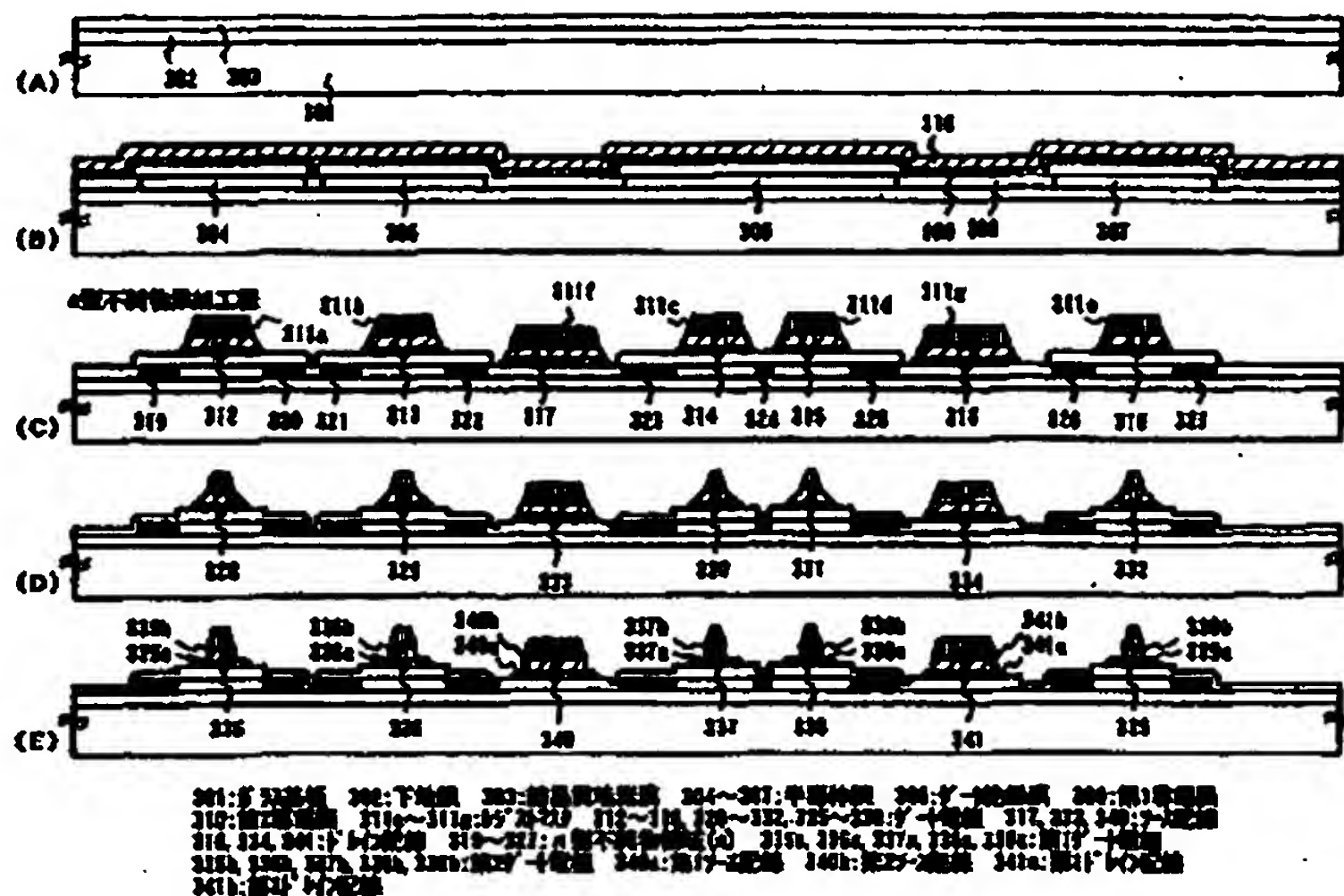


【図5】

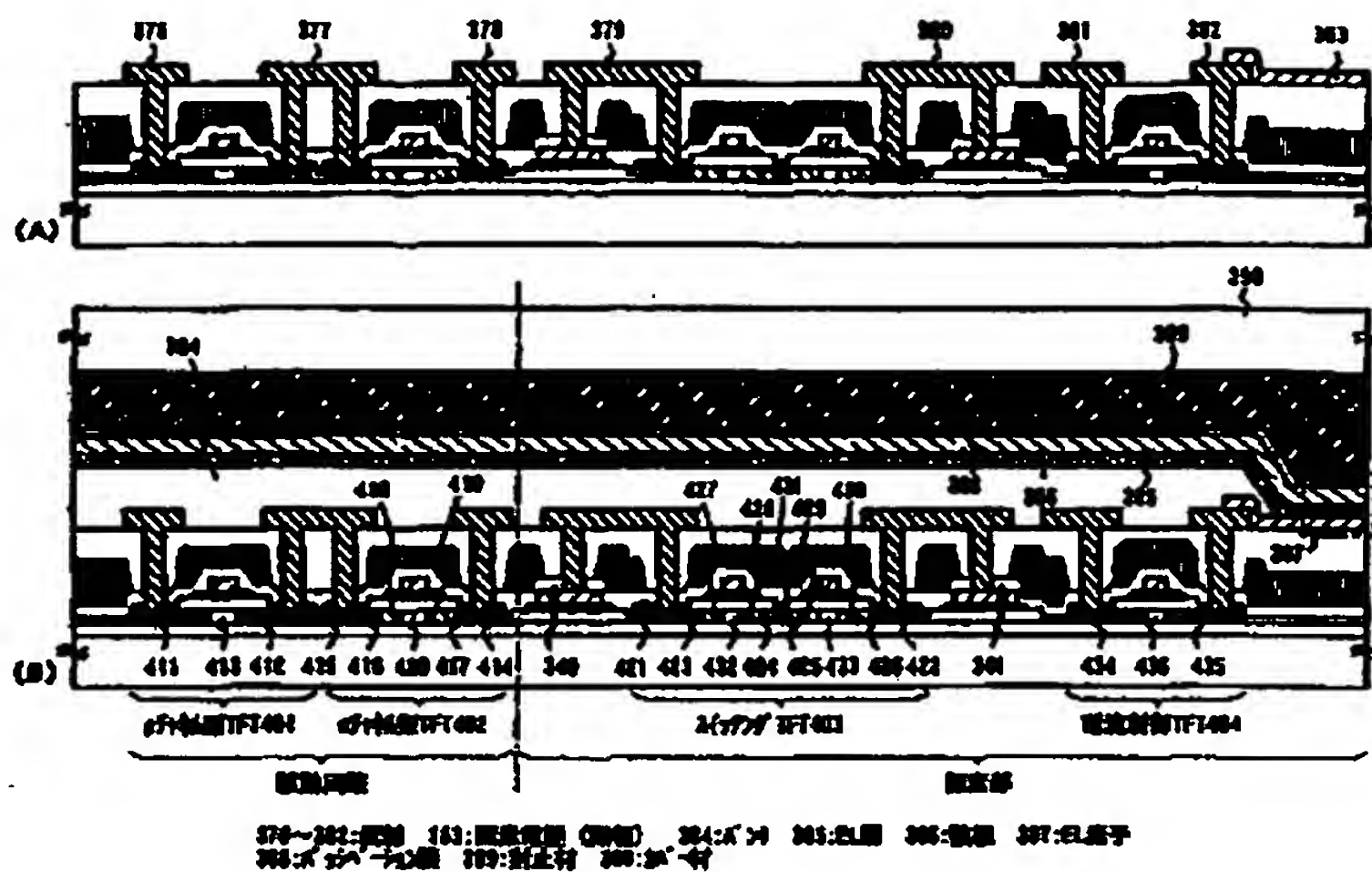


- 【図8】 EL発光装置の上面構造および断面構造を示す図。
- 【図9】 EL発光装置の上面構造および断面構造を示す図。
- 【図10】 画素部の上面構造を示す図。
- 【図11】 画素部の上面構造を示す図。
- 【図12】 画素部の断面構造を示す図。
- 【図13】 画素部および駆動回路の作製工程を示す図。
- 10 【図14】 画素部および駆動回路の作製工程を示す図。
- 【図15】 画素の回路構成を示す図。
- 【図16】 インライン方式の成膜装置の構成を示す図。
- 【図17】 EL素子の構造を示す図。
- 【図18】 電気器具の具体例を示す図。
- 【図19】 電気器具の具体例を示す図。

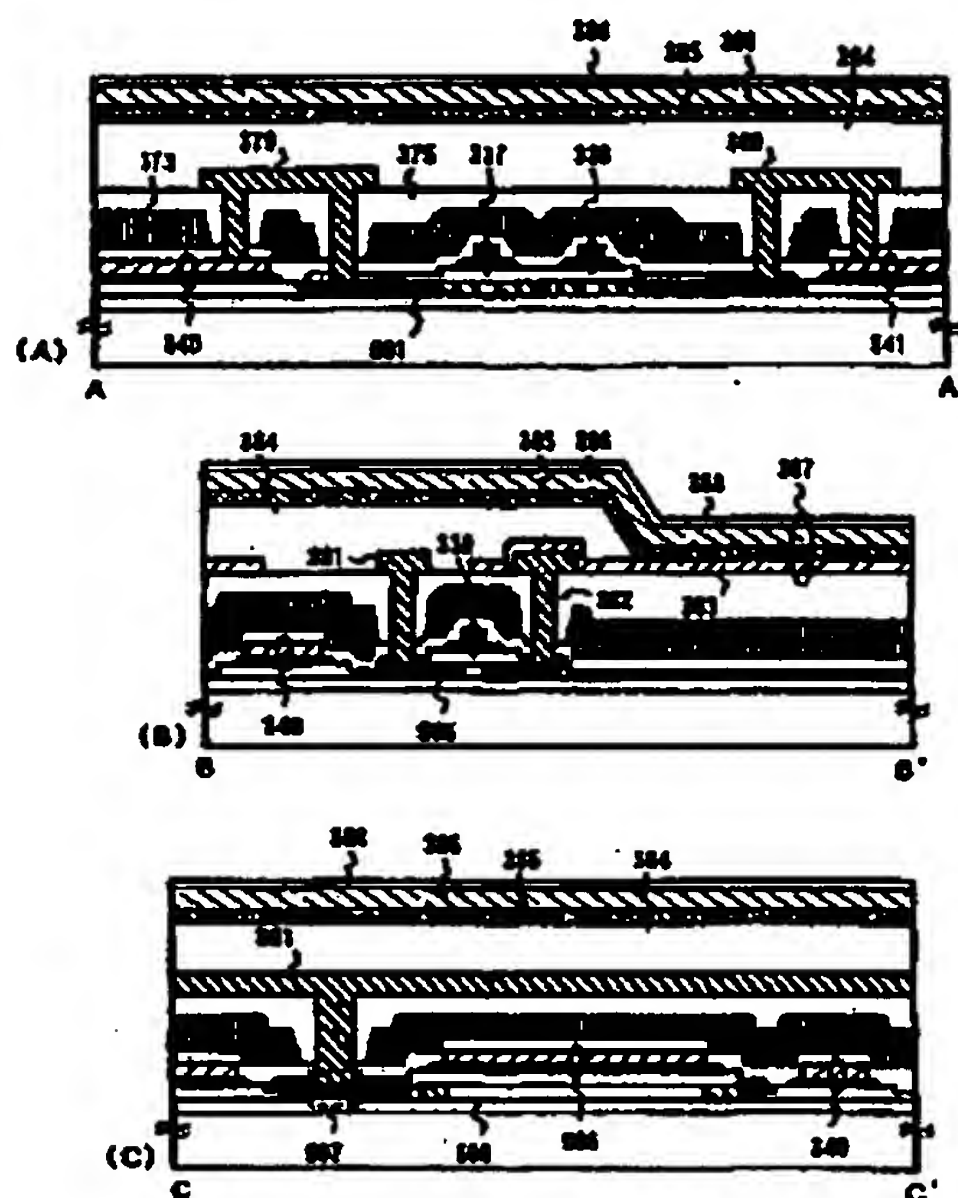
【図2】



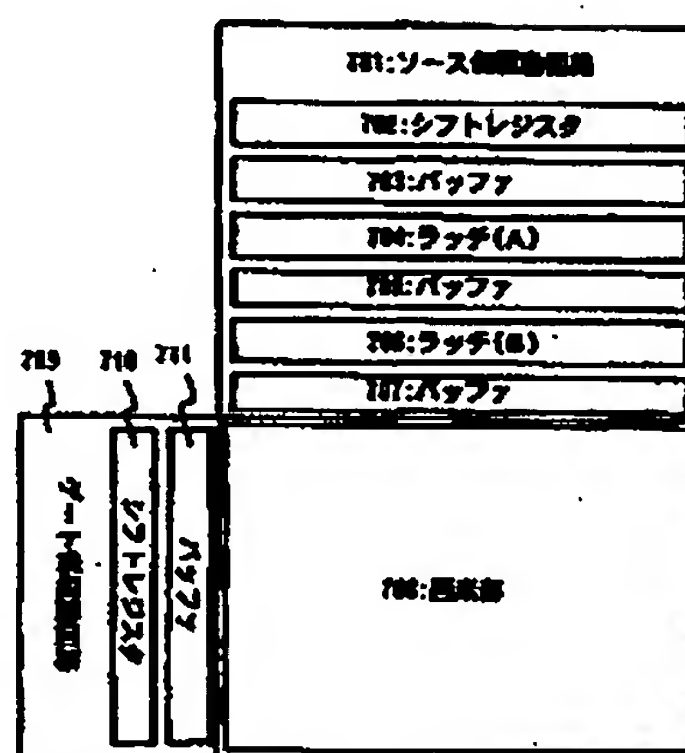
【図4】



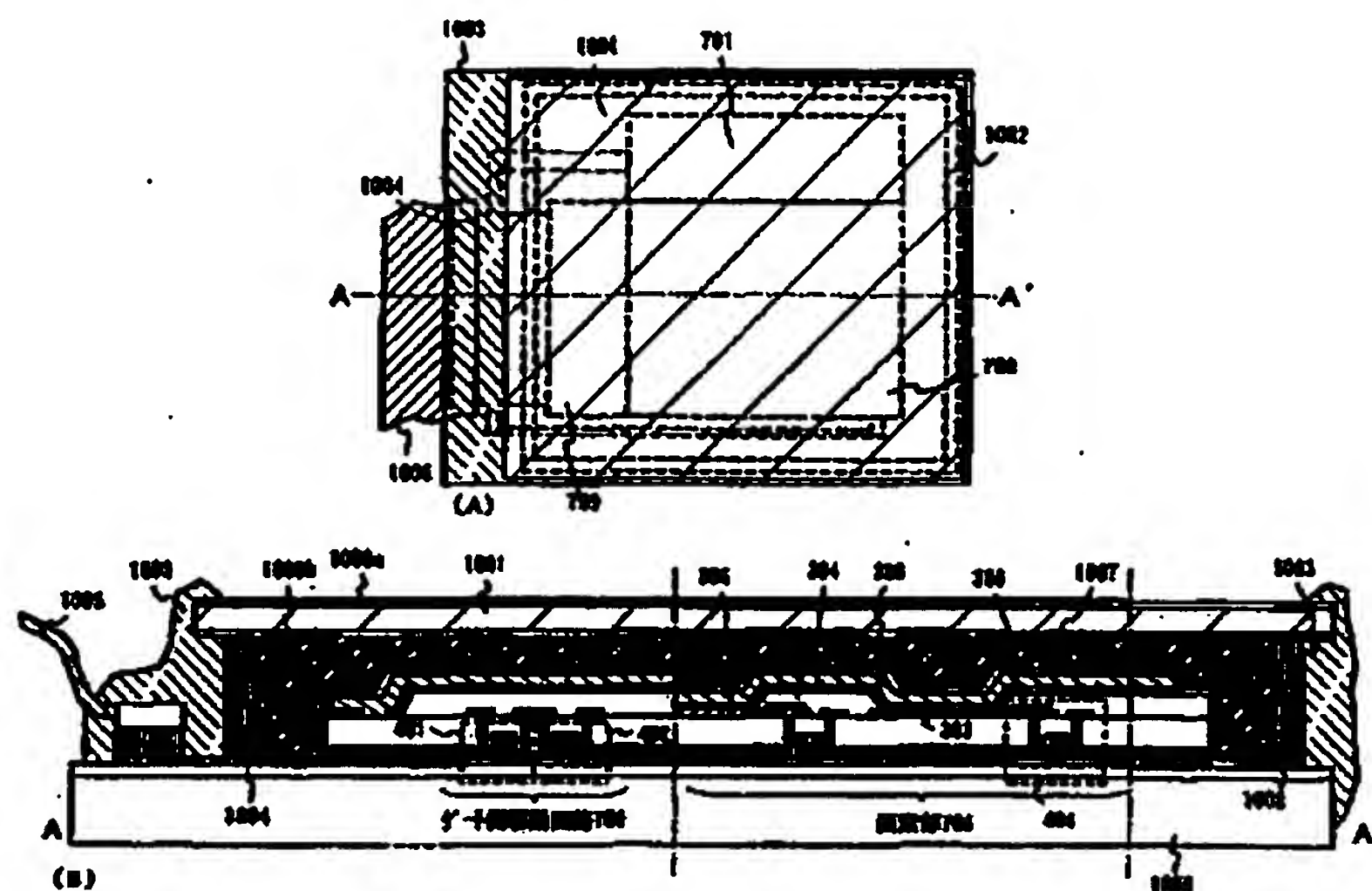
【図6】



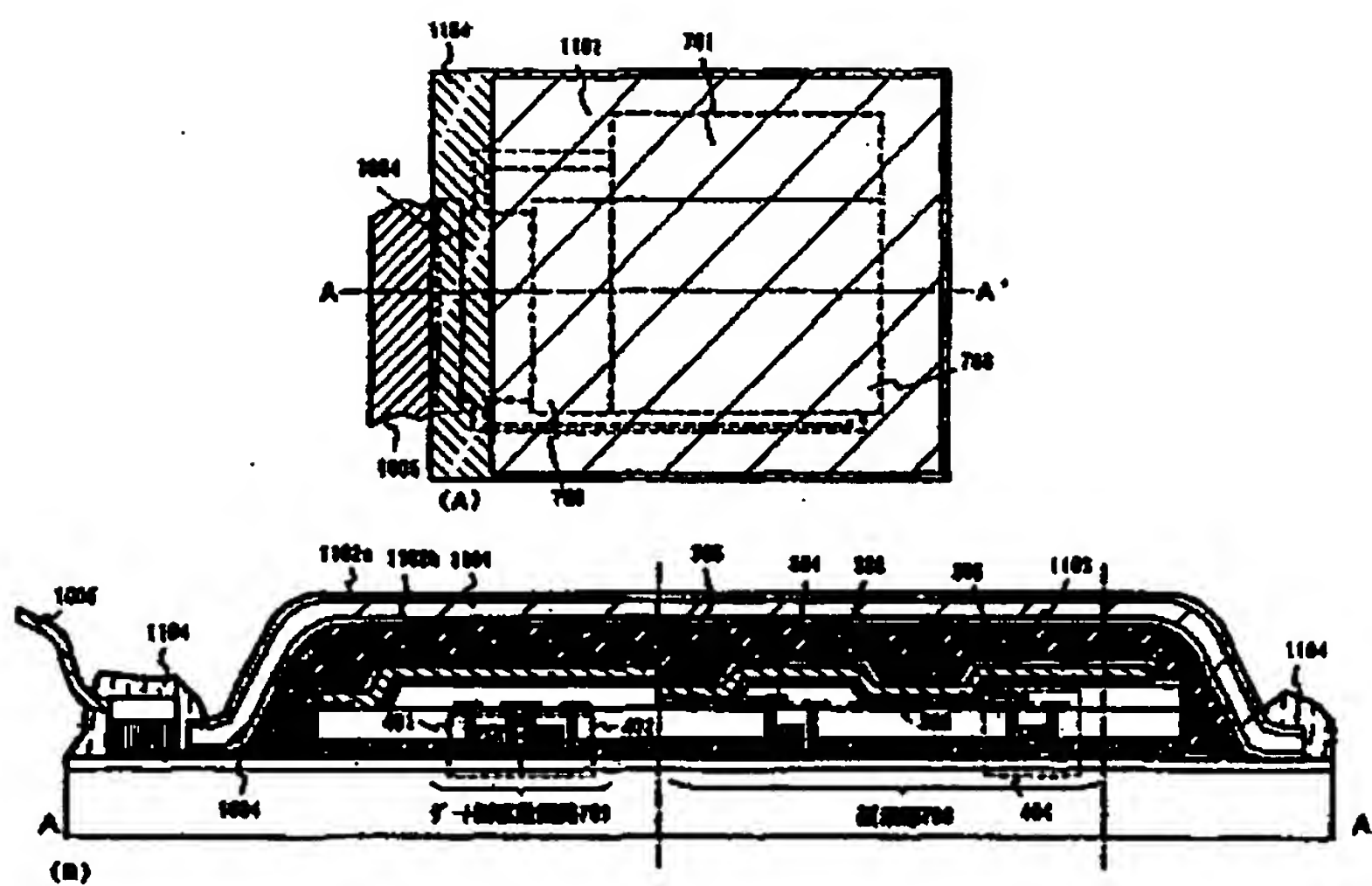
【図7】



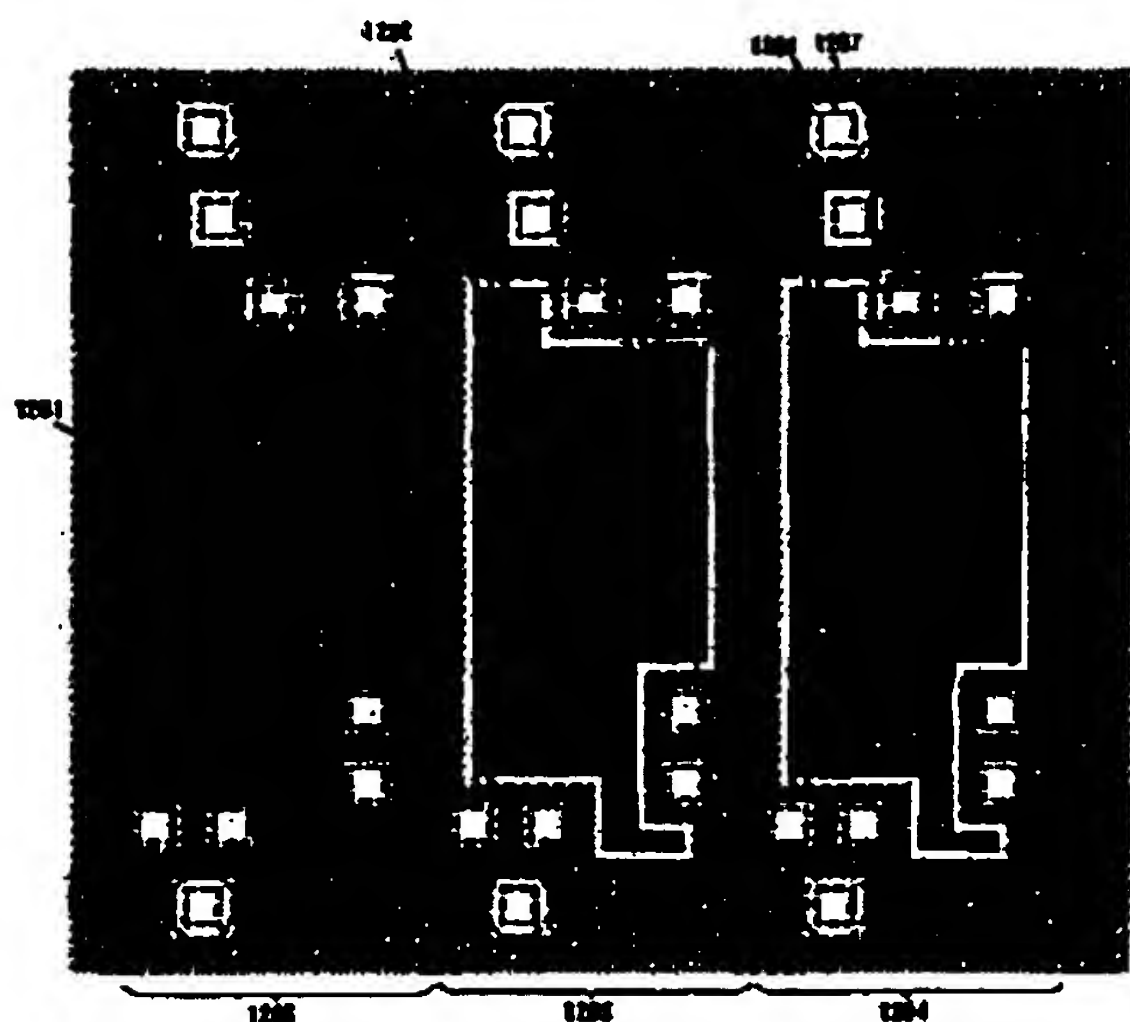
【图8】



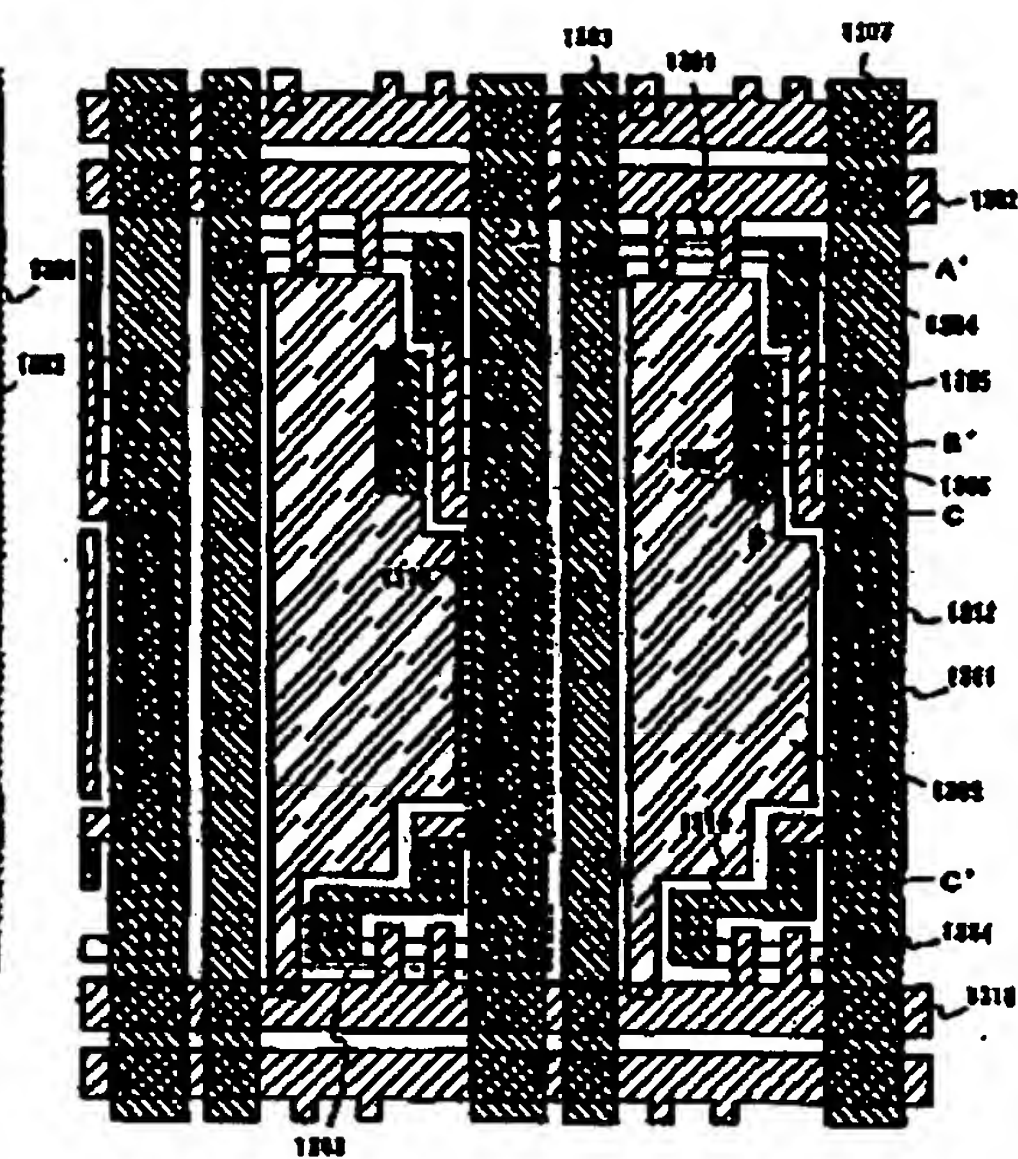
【圖9】



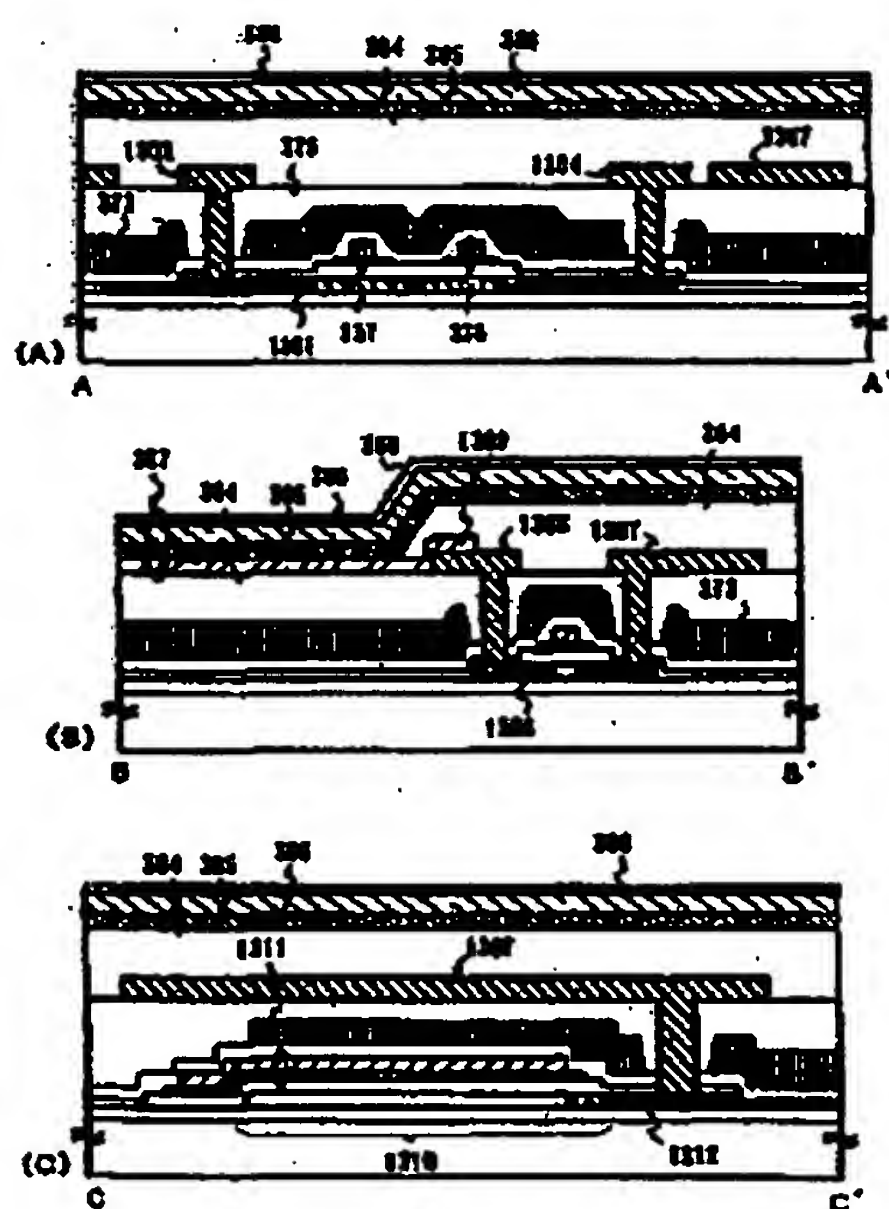
【图 10】



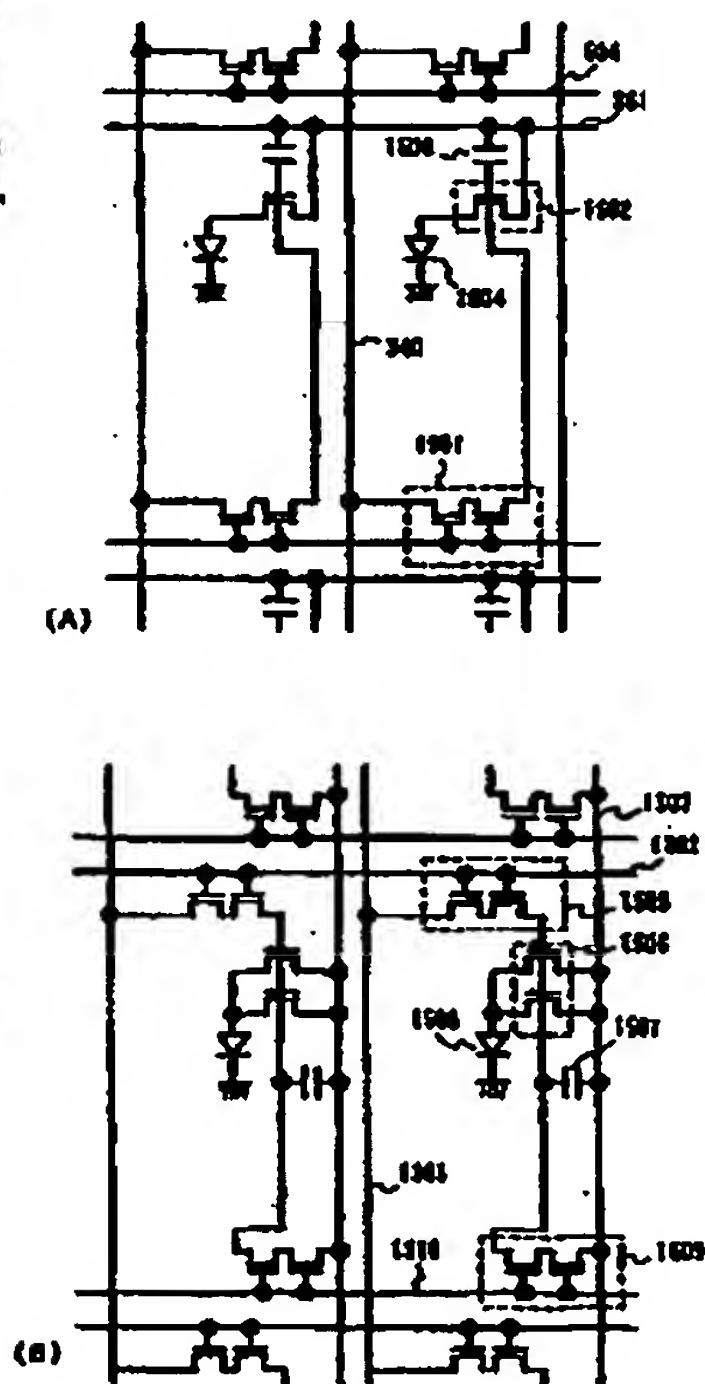
【図 11】



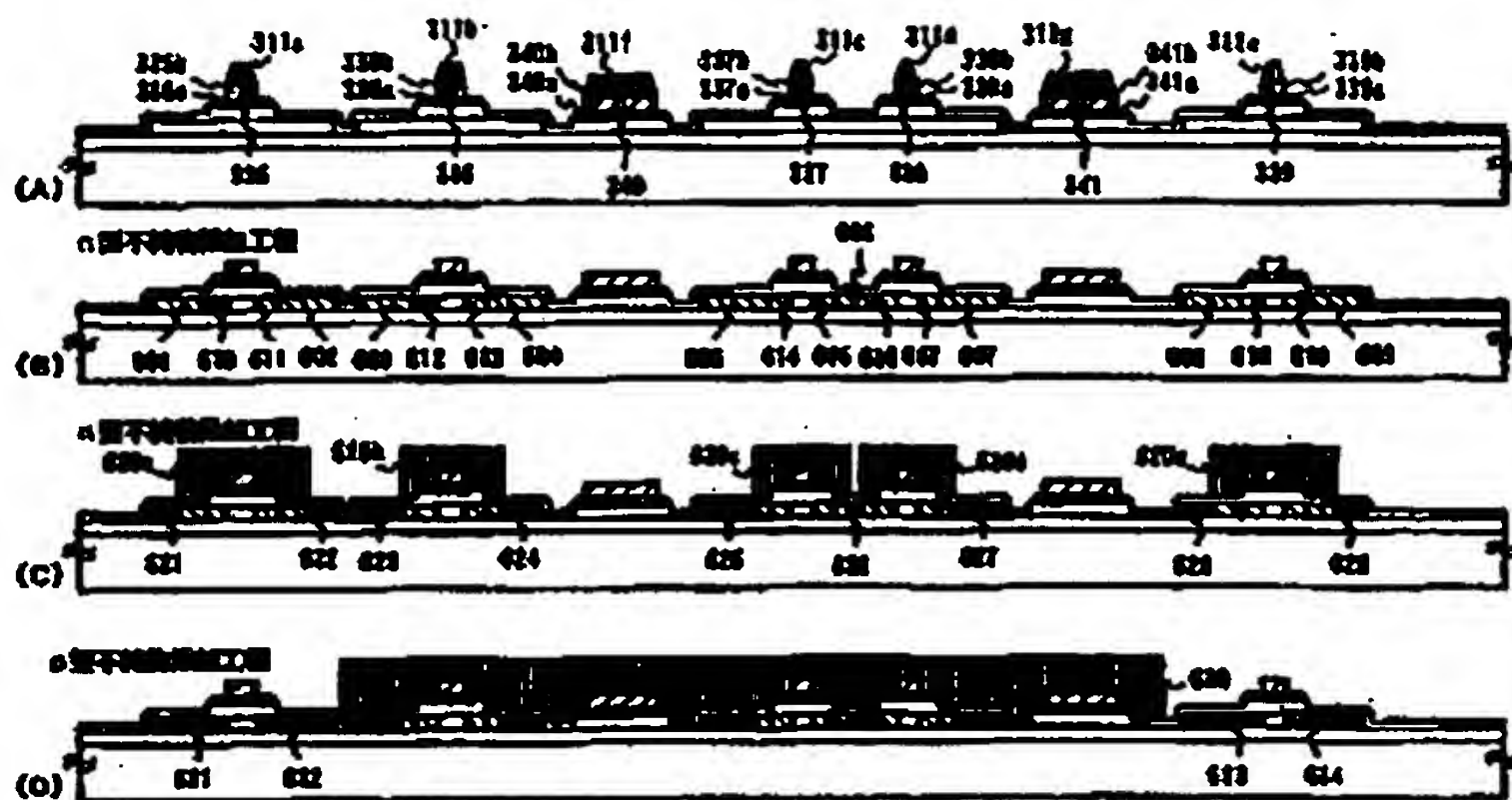
【図 12】



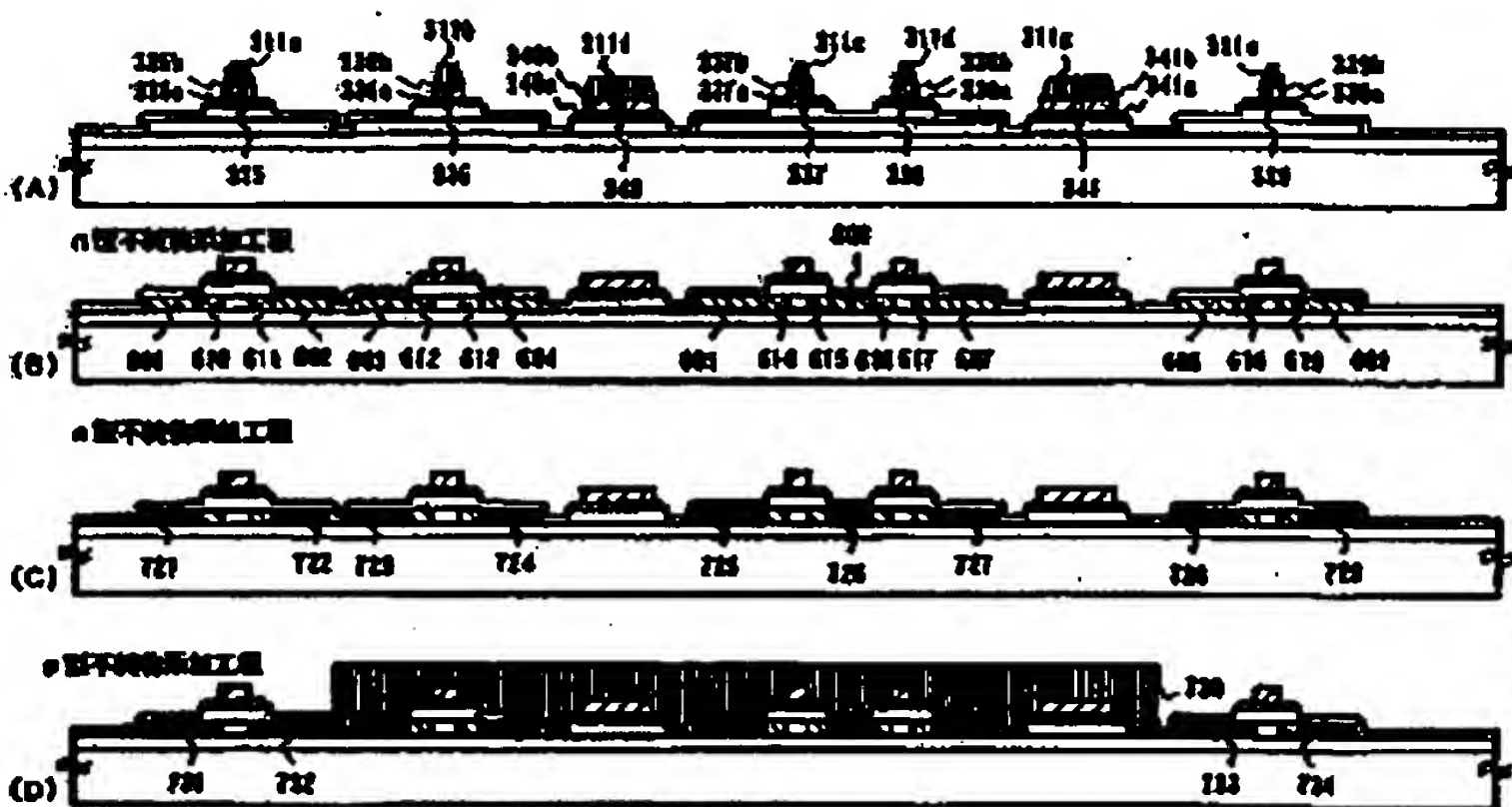
【図 15】



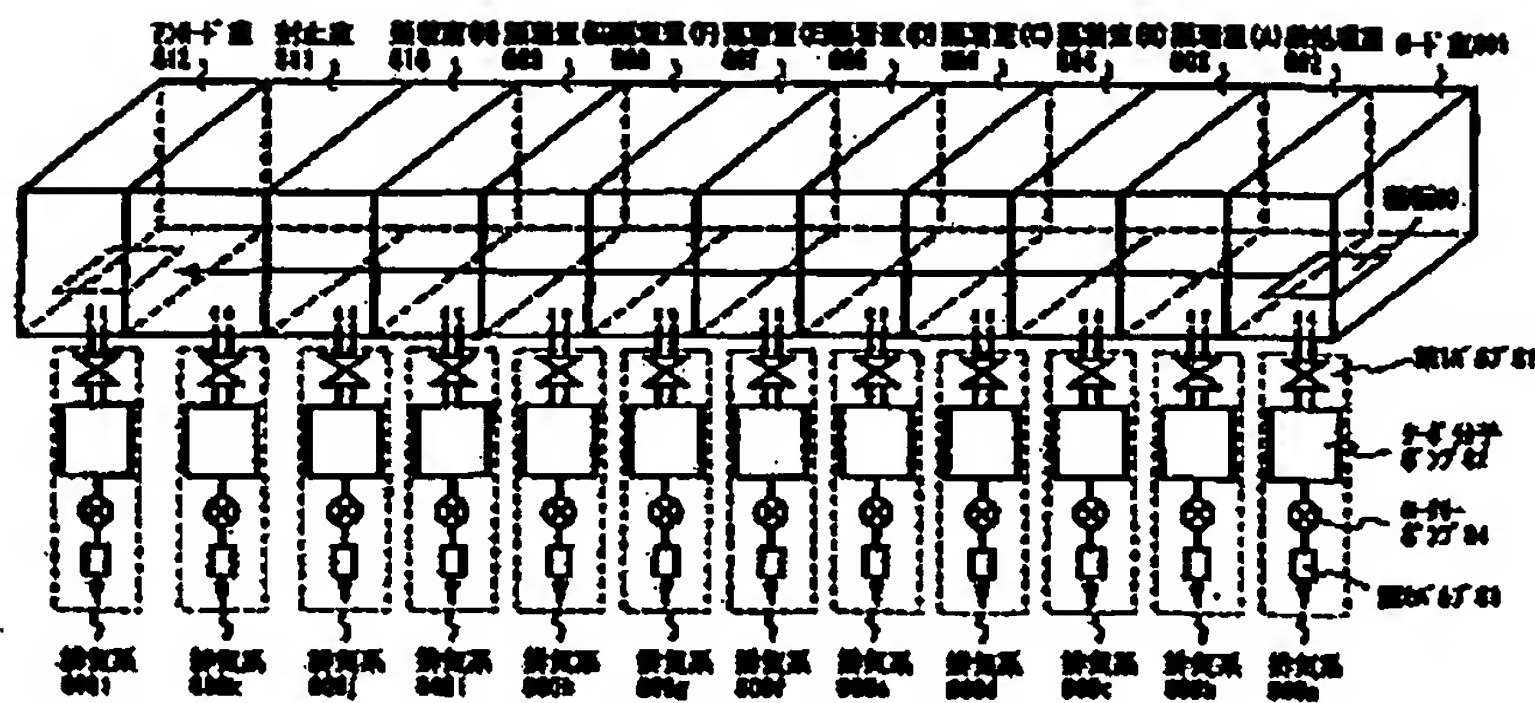
【図13】



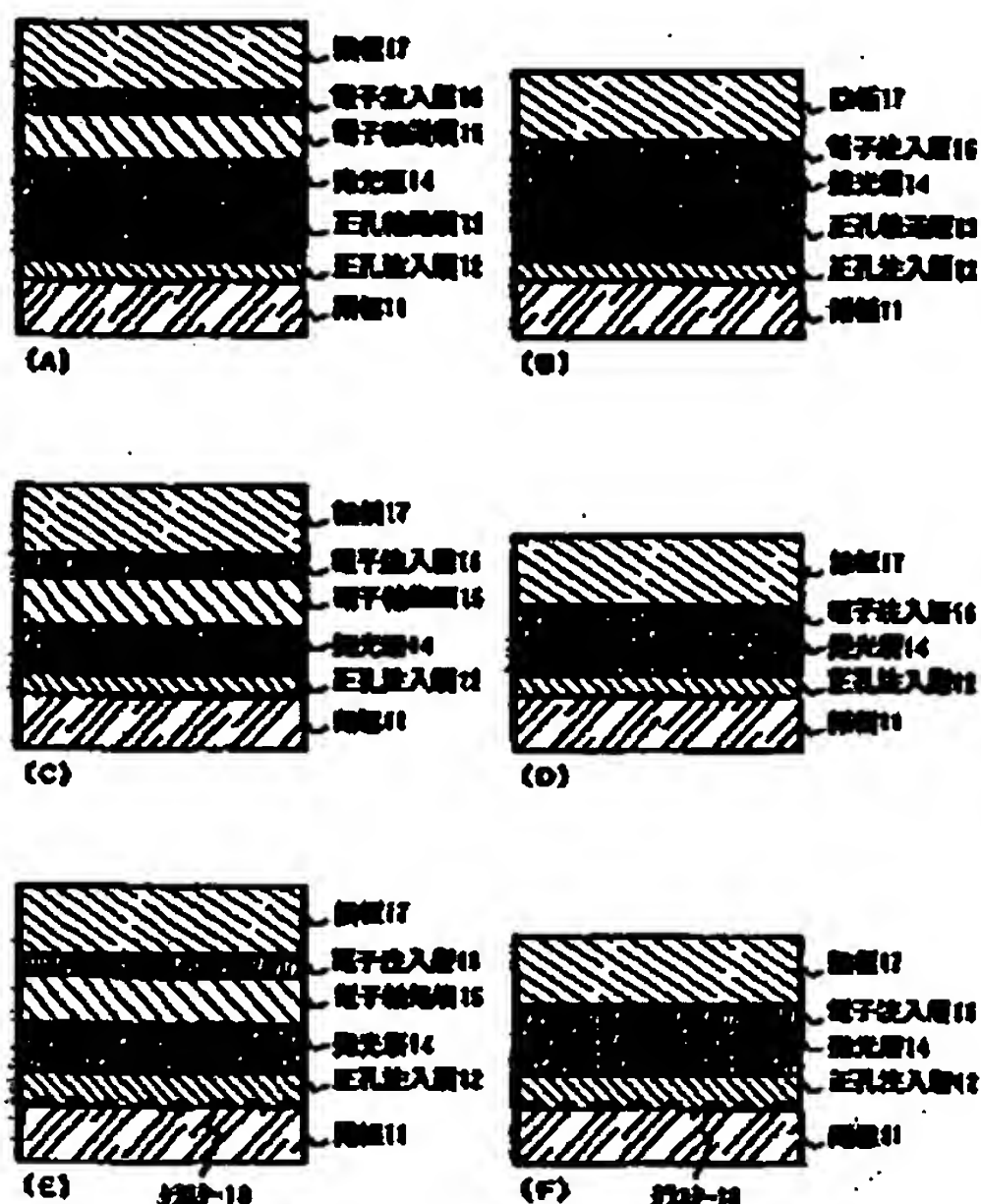
【図14】



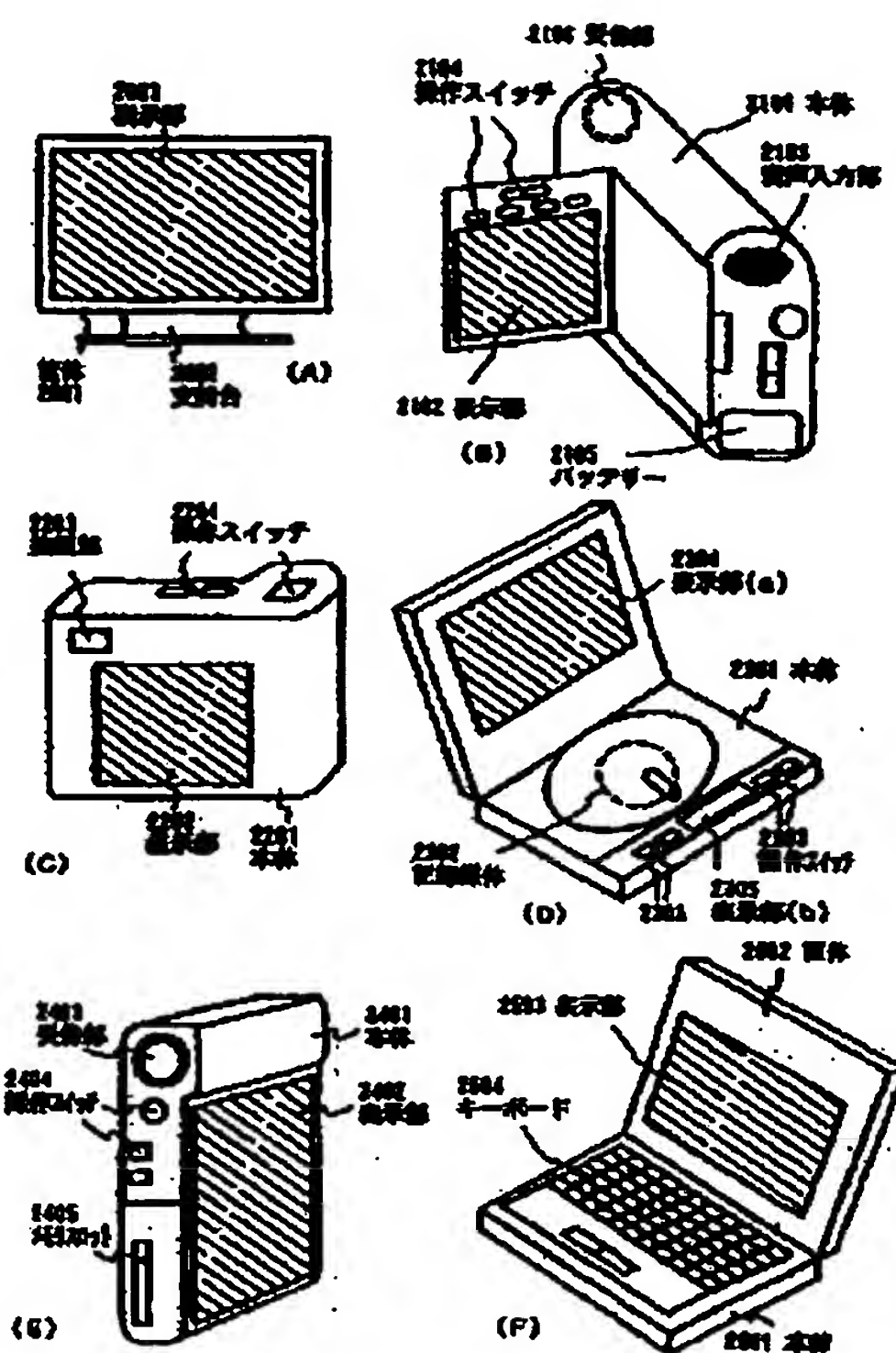
【図16】



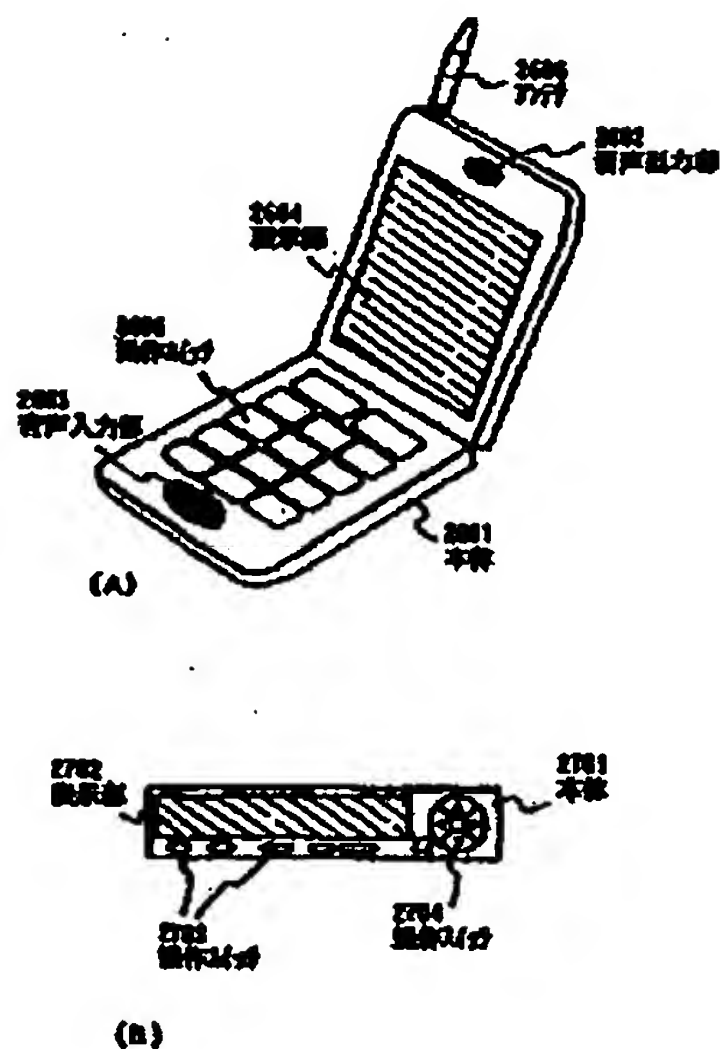
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl. 7

H04N 5/70

H05B 33/10

識別記号

FI

H05B 33/14

H01L 29/78

テ-マ-ト (参考)

A

616A

33/14

617L

617K

(72)発明者 犬飼 和隆
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

Fターム(参考) 3K007 AB04 AB13 AB18 BA06 BB01
CA01 CB01 DA00 DB03 EB00
FA01 FA02 FA03
4M104 AA01 AA10 BB02 BB14 BB18
BB30 BB32 BB36 CC01 CC05
DD02 DD16 DD20 DD22 DD37
DD65 DD91 FF08 FF17 FF18
GG04 GG09 GG10 GG14 GG20
HH08 HH16 HH20
5C058 AA12 AB02 BA32
5C094 AA25 AA31 AA42 AA43 BA03
BA12 BA27 CA19 CA24 DA09
DA13 DB01 DB04 DB10 EA04
EA05 EA10 EB02 ED15 FA01
FA02 FB01 FB02 FB12 FB14
FB15 GB10 JA20
5F110 AA16 BB02 BB04 CC02 DD02
DD12 DD15 EE01 EE03 EE04
EE06 EE14 EE23 EE44 FF02
FF03 FF04 FF09 GG01 GG02
GG03 GG13 GG32 GG34 HJ01
HJ04 HJ23 HL03 HL04 HM15
HN03 NN05 NN22 NN24 NN27
NN32 NN36 NN49 NN72 PP02
PP03 PP04 PP34 QQ04 QQ11
QQ19 QQ24 QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.